



UNIVERSIDAD DE LA REPÚBLICA
FACULTAD DE INGENIERÍA



Diseño de circuitos integrados para interfaz neural

TESIS PRESENTADA A LA FACULTAD DE INGENIERÍA DE LA
UNIVERSIDAD DE LA REPÚBLICA POR

Julián Oreggioni

EN CUMPLIMIENTO PARCIAL DE LOS REQUERIMIENTOS
PARA LA OBTENCIÓN DEL TÍTULO DE
MAGISTER EN INGENIERÍA ELÉCTRICA.

DIRECTORES DE TESIS

Fernando Silveira Universidad de la República
Angel Caputi Inst. Inv. Biológicas Clemente Estable

TRIBUNAL

Alfredo Arnaud Universidad Católica de Uruguay
Rafaella Fiorelli Universidad de Sevilla
Conrado Rossi Universidad de la República
Angel Caputi Inst. Inv. Biológicas Clemente Estable
Fernando Silveira Universidad de la República

DIRECTOR ACADÉMICO

Fernando Silveira Universidad de la República

Montevideo
23 de agosto de 2013

Diseño de circuitos integrados para interfaz neural, Julián Oreggioni.

ISSN 1688-2806

Esta tesis fue preparada en L^AT_EX usando la clase iietesis (v1.1).

Contiene un total de 124 páginas.

Compilada el 9 de septiembre de 2013.

<http://iie.fing.edu.uy/>

Agradecimientos

Antes que nada quiero agradecer muy especialmente a Fiorella, Valentina y Camila, por el apoyo incondicional, por la paciencia, por las horas robadas, por todo...

Trabajar y estudiar es complicado, sin el apoyo de Graciela, Marión y Eduardo, hacer esta tesis no hubiese sido posible ¡Muchas gracias a ellos!

Estoy muy agradecido con algunas las personas que jugaron un papel muy importante en el transcurso de la presente tesis. Sin dudas en primer lugar, con Fernando Silveira y Angel Caputi, aprendí mucho con ellos en este tiempo y espero seguir haciéndolo. Con Pablo Castro, por su generosidad y sus valiosos aportes durante todo el desarrollo de la tesis. Con Conrado Rossi, Pablo Aguirre y Nicolás Barabino, siempre bien dispuestos a discutir un problema o a darme una mano con el manejo de las herramientas de diseño de circuitos integrados.

A mis compañeros docentes de Electrónica 1 que en las últimas semanas se sobrecargaron de trabajo para que yo pudiera terminar de escribir esta tesis.

Quiero dar las gracias a los compañeros del GME y del IIE que hacen que laburar acá sea un verdadero placer. En especial, a Leonardo Steinfeld, por su compañerismo; y a Laura, María y Maxi, que siempre están dando una mano en lo que sea.

Finalmente, quiero agradecer a la Comisión Sectorial de Investigación Científica (CSIC) de la Universidad de la República que mediante el proyecto CSIC Grupos financió la fabricación de un chip de esta tesis. Asimismo, quiero agradecer a la Agencia Nacional de Investigación e Innovación (ANII) y a la Comisión Académica de Posgrados (CAP) de la Universidad de la República por las becas que me otorgaron en el marco de esta tesis.

Esta página ha sido intencionalmente dejada en blanco.

Resumen

En la última década se registra a nivel mundial un crecimiento importante de las investigaciones y potenciales aplicaciones de circuitos electrónicos que interactúen con el sistema nervioso tanto con fines de investigación en neurociencias, como con fines médicos u otros. Los avances vertiginosos en: miniaturización de los aparatos de registro de EEG y de otras formas de registro de la actividad del sistema nervioso, potencia de procesamiento, métodos de análisis de patrones, y conocimiento de la organización cerebral de las funciones cognitivas han reavivado el interés en desarrollar este tipo de aparatos. Uno de los desafíos técnicos más importantes que plantea el procesamiento de estas señales neurales es lograr observar un número alto de canales, a lo que se suman las exigencias de alcanzar los bajos niveles de ruido necesarios para trabajar con señales tan pequeñas, resolver la integración de altas constantes de tiempo en áreas razonables, tener bajo consumo para poder actuar con fuentes pequeñas de energía y no generar calentamiento local de los tejidos. Asimismo, es fundamental que la electrónica que procesa estas señales tenga alto CMRR para poder eliminar las señales de interferencia en modo común y sea capaz de bloquear niveles de continua en la entrada mucho mayores a los niveles de señal.

La presente tesis consistió en el diseño de un front-end para la adquisición de señales neurales en un circuito integrado. El front-end se dividió en tres etapas: un preamplificador de bajo ruido, un filtro programable y un filtro de salida con alto rango lineal. El preamplificador se implementó hasta el nivel físico y se envió a fabricar. El resto de las etapas se implementaron y caracterizaron a nivel de esquemático. Se utilizó el proceso C5 0,50 μ m de ON Semiconductor.

Se utilizó una arquitectura para preamplificadores neurales, de tipo Gm-C que logra su característica pasabanda de una forma eficiente en términos de área y consumo, permitiendo a la vez obtener altos valores de CMRR y bajos niveles de ruido. En el marco de esta tesis se caracterizó la arquitectura y se extendió su uso a filtros, mostrando su generalidad y versatilidad. En particular, se desarrolló la expresión analítica de la transferencia, la expresión de la frecuencia corte inferior y la condición para evitar no linealidades de la técnica aplicada para lograr la característica pasabanda. Estos resultados permiten diseñar circuitos basados en esta arquitectura fácilmente a partir de especificaciones. Asimismo, se exploraron técnicas para programar su ganancia y su frecuencia de corte de superior.

Se propusieron e implementaron mejoras a la arquitectura del preamplificador neural que permitieron bajar su consumo, su ruido y extender su ancho de banda. Estos cambios lograron que el preamplificador quede a nivel de otros en el estado

del arte, e incluso en alguna dimensión sea mejor. En efecto, de mantenerse las características simuladas en el circuito fabricado, superaría a todos los circuitos reportados a la fecha, desde el punto de vista del consumo y el ruido para barrer el rango $0,1Hz - 10kHz$.

El preamplificador de característica pasabanda utilizado en la etapa de entrada del front-end presenta las siguientes características simuladas: ganancia en banda pasante $49,6dB$, $CMRR = 83dB$, frecuencia de corte superior $9,6kHz$ y frecuencia de corte inferior $0,1Hz$ (con capacitor externo) y $18Hz$ (con capacitor integrado). Presenta un consumo de $8,1\mu A$ y un ruido equivalente a la entrada de $1,96\mu V_{rms}$, lo que se corresponde con un $NEF = 2,19$ ¹.

Para la segunda etapa del front-end se diseñó un filtro pasabanda, cuya ganancia es programable entre $1V/V$ y $110V/V$ y su frecuencia de corte superior es programable entre $100Hz$ y $5kHz$. Como etapa de salida, se diseñó un filtro pasabanda de alto rango lineal, que es capaz de manejar a su salida $0,97V_{pp}$ con una $THD = 3,1\%$.

El front-end configurado para tener máxima ganancia ($99,3dB$) y máxima frecuencia de corte superior ($5,2kHz$), presenta una frecuencia de corte inferior de $20Hz$ (con capacitores totalmente integrados) y un $CMRR = 82dB$. Asimismo, presenta un consumo de $11,2\mu A$ y un ruido equivalente a la entrada de $1,46\mu V_{rms}$, lo que se corresponde con un $NEF = 2,61$. De mantenerse las características simuladas en el circuito fabricado, el front-end superaría a todos los circuitos reportados a la fecha desde el punto de vista de la ganancia, igualando los mejores compromisos ruido-consumo y manteniendo una buena performance en las otras características. Por otra parte, la ganancia del front-end es programable entre $57,3dB$ y $99,3dB$, su frecuencia de corte superior es programable entre $0,1kHz$ y $5,2kHz$. El máximo consumo del front-end es $11,2\mu A$ y su máximo ruido equivalente es $1,87\mu V_{rms}$.

En resumen se propuso una solución que alcanza, y en algún aspecto supera, el estado del arte en el tema, realizando aportes novedosos. En particular, se logró obtener un front-end integrado programable, que permite trabajar con un conjunto muy amplio de señales biopotenciales, brindando al usuario mucha flexibilidad, aumentando significativamente los contextos donde podrá aplicarse.

¹ NEF es Noise Efficiency Factor por sus siglas en inglés, se trata de una figura de mérito que evalúa el compromiso entre consumo y ruido.

Tabla de contenidos

Agradecimientos	I
Resumen	III
1. Introducción	1
1.1. Motivación y aplicaciones	1
1.2. Desafíos	2
1.2.1. Desde el punto de vista de la señal biológica	3
1.2.2. Desde el punto de vista del front-end	4
1.2.3. Desde el punto de vista del sistema	5
1.3. Objetivos	8
1.4. Especificaciones	9
1.5. Solución propuesta	10
2. Preamplificador de bajo ruido	13
2.1. Antecedentes	13
2.2. Solución propuesta	15
2.2.1. Transferencia del preamplificador	15
2.2.2. Análisis de linealidad	18
2.2.3. Análisis de bloqueo de continua	18
2.2.4. Análisis de ruido	19
2.3. Diseño	20
2.3.1. Flujo de diseño	20
2.3.2. Implementación	21
2.4. Resultados	23
2.4.1. Consumo	24
2.4.2. Respuesta en frecuencia	24
2.4.3. CMRR	25
2.4.4. Ruido	28
2.4.5. Rango lineal de entrada	28
2.4.6. Bloqueo de continua	29
2.4.7. Offset	29
2.5. Comparación con otros preamplificadores	30
2.6. Fabricación	32
2.7. Discusión y conclusiones	32

Tabla de contenidos

3. Filtro programable	35
3.1. Especificaciones	35
3.2. Diseño	36
3.2.1. Flujo de diseño filtro Base	38
3.2.2. Programabilidad	39
3.2.3. Implementación	39
3.3. Resultados	40
3.3.1. Filtro Base	40
3.3.2. Programación Filtro Base	42
3.4. Discusión y conclusiones	44
4. Filtro de alto rango lineal	47
4.1. Especificaciones	47
4.2. Diseño	48
4.2.1. Flujo de diseño	50
4.2.2. Linealización de OTAs	51
4.2.3. Implementación	52
4.3. Resultados	53
4.3.1. Punto de funcionamiento y consumo	53
4.3.2. Respuesta en frecuencia y offset	54
4.3.3. Rango lineal de entrada	55
4.3.4. Bloqueo de continua	55
4.4. Discusión y conclusiones	56
5. Circuito completo: Front-End	59
5.1. Implementación	59
5.2. Resultados	59
5.2.1. Respuesta en frecuencia, consumo, offset y ruido	59
5.2.2. CMRR	65
5.2.3. Rango lineal de entrada	67
5.2.4. Bloqueo de continua	68
5.3. Comparación con otros front-end	69
5.4. Discusión y conclusiones	70
6. Conclusiones	73
A. Detalle de los cálculos del Preamplificador	79
A.1. Dedución de la transferencia del Preamplificador	79
A.2. Dedución de la condición analítica para evitar la multiplicación	82
A.3. Dedución de la expresión del ruido del Preamplificador	84
B. Biquad clásico	85
B.1. Circuito y ecuaciones	85
B.2. Rango lineal de entrada	86
B.3. Análisis de bloqueo de continua	86

C. Arquitectura original	89
C.1. Circuito y ecuaciones	89
D. Filtro con $\alpha=1$	93
D.1. Especificaciones	93
D.2. Solución propuesta	94
D.2.1. Flujo de diseño	94
D.2.2. Implementación	95
D.3. Resultados	95
D.3.1. Punto de funcionamiento y Consumo	95
D.3.2. Respuesta en frecuencia	97
D.3.3. Rango lineal de entrada	98
D.3.4. Ruido	98
D.3.5. Bloqueo de continua	99
D.4. Conclusiones	100
Referencias	101
Índice de tablas	106
Índice de figuras	110

Esta página ha sido intencionalmente dejada en blanco.

Capítulo 1

Introducción

En la última década se registra a nivel mundial un crecimiento importante de las investigaciones y potenciales aplicaciones de circuitos que interactúen con el sistema nervioso tanto con fines de investigación en neurociencias, como con fines médicos u otros. La posibilidad de controlar máquinas utilizando señales derivadas del análisis del electroencefalograma (EEG) en tiempo real (Brain-Computer Interface, BMI, o Interfaz Cerebro-Máquina, ICM) fue concebida por Vidal hace alrededor de 40 años [1,2]. Sus aplicaciones e implicancias son variadas abarcando campos tan distantes como la filosofía, las neuro-prótesis o los videojuegos. Los avances vertiginosos en: la miniaturización de los aparatos de registro de EEG y de otras formas de registro de la actividad del sistema nervioso; en el aumento de la potencia de procesamiento que tienen dispositivos cada vez más pequeños; en los avances en los métodos de análisis de patrones; y, en el conocimiento de la organización cerebral de las funciones cognitivas, han reavivado el interés en desarrollar este tipo de aparatos desde comienzos de la década pasada [3]. Existen múltiples iniciativas tendientes a usar información de actividad cerebral (obtenida no invasivamente mediante EEG o invasivamente mediante electrodos intracerebrales) en productos con aplicación desde la clínica médica (ver por ejemplo [4–6]) hasta el consumo masivo para el entrenamiento de habilidades, juegos o para interfaz con computadora (ver [7–9]). Son muchas las oportunidades que se abren, especialmente si el problema es abordado con la integración de equipos en donde convergen distintos tipos de formación incluyendo la neurociencia, la informática, el procesamiento de señales, la teoría de la información y la microelectrónica.

1.1. Motivación y aplicaciones

Además de las aplicaciones citadas en la sección anterior, se visualizan muchas otras: a nivel de neuro-rehabilitación, en la clínica médica, en aplicaciones de uso masivo en el deporte, en la industria del entretenimiento, en la enseñanza o para mejorar diversos aspectos de la vida cotidiana. A continuación se repasan algunos ejemplos, algunos ya existen, en otros se está cerca, en otros se requerirá varios años de investigación en diversos campos y en otros es difícil aventurar hoy si se

Capítulo 1. Introducción

podrá llegar.

La investigación actual en las aplicaciones médicas de la ICM está centrada en el desarrollo de canales de comunicación alternativa para los pacientes con graves trastornos neuromusculares crónicos (prevalencia 4-8/1.000) como por ejemplo infarto o hematoma cerebral, lesión medular traumática, esclerosis lateral amiotrófica [5]; o transitorios como por ejemplo el síndrome de Guillain-Barré (incidencia 1-2/100.000/año) [10]. Una plataforma o sistema de ICM podría ayudar a estos pacientes a desplazarse e interactuar con su entorno.

Por otra parte, una plataforma de ICM podría tener aplicaciones diagnósticas en la clínica médica. En efecto, puede pensarse en un gorrito o vincha que podría usarse para detectar y procesar potenciales evocados visuales o auditivos. En el último caso, el gorrito podría comunicarse con un PC para graficar un audiograma o en un CTI para diagnosticar el estado del paciente o la muerte cerebral.

Disponer de dispositivos autónomos muy pequeños que permitan adquirir y procesar biopotenciales en forma no invasiva y confortable, y transmitir en forma inalámbrica esta información permite además pensar en aplicaciones de BSN (Body Sensor Networks) a la medicina, el deporte o al entretenimiento. En este sentido, podría utilizarse para la predicción de un ataque epiléptico, permitiendo que un usuario que padece esta enfermedad pueda realizar actividades cotidianas y sea alertado ante la inminencia de un ataque para tomar los recaudos correspondientes.

A nivel de consumo masivo, estos dispositivos se pueden utilizar para detectar si el usuario se está durmiendo [11], esto puede ser sumamente útil en choferes profesionales donde se le podría pedir al sistema que cuando detecte esa condición emita una señal de alarma u obligue al chofer a detenerse. Otra aplicación relacionada, puede ser un sistema para detectar si un usuario está bajo el efecto de sustancias como el alcohol o las drogas. También se puede pensar en un eje de aplicaciones, donde el sistema pueda usarse para apoyar actividades de enseñanza y extensión, tanto a nivel de primaria (utilizando la plataforma en conjunto con una computadora del Plan Ceibal), de secundaria o superior. En este caso el gorrito se podría comunicar con la PC para mostrar las señales EEG o indicar aspectos detectados en las mismas.

1.2. Desafíos

La adquisición, el procesamiento y la transmisión de señales neurales presentan desafíos importantes a mucho niveles, y dependiendo de la aplicación, en muchos casos se trata de problemas abiertos. En primer lugar se presentará el problema desde el punto de vista de la señal biológica, incluyendo las señales neurales que se estudian habitualmente caracterizándolas desde el punto de vista eléctrico. En segundo lugar, se discutirán los desafíos presentes en el front-end, esto es el circuito electrónico encargado del acondicionamiento (amplificación y filtrado) previo a la digitalización o transmisión. Por último, se analiza el problema desde el punto de vista del sistema (considerado de punta a punta).

1.2.1. Desde el punto de vista de la señal biológica

En las señales eléctricas utilizadas por los electrofisiólogos para explorar el sistema nervioso se ven reflejadas varias actividades neuronales:

1. Registros intracelulares, donde se registra la actividad eléctrica a través de la membrana celular. Pueden definirse distintos tipos de actividad en el interior de una célula:
 - a) Potenciales lentos que se deben a variaciones locales de la resistencia de membrana ya sea por actividad sináptica (es decir los efectos de las señales provenientes de otra célula) o por fenómenos dinámicos (todo evento eléctrico cambia las propiedades eléctricas de la membrana de modo que un evento puede tener consecuencias no inmediatas).
 - b) Potenciales de acción o espigas¹, que debido a la dinámica de la membrana celular, una vez que se llega a un nivel crítico de despolarización se generan variaciones transitorias del potencial de membrana. Dichas variaciones tienen una forma de onda estereotipada para cada región de la célula y son capaces de generar fenómenos similares en su entorno, por lo cual se comportan como ondas viajeras y son ideales para transmitir señales a distancias largas con bajo ruido.

2. Registros extracelulares, allí se tienen dos tipos de actividades:
 - a) Potenciales de campo lentos que reflejan la actividad sincrónica de múltiples neuronas. Dependiendo de su forma de registro y la estructura explorada, los potenciales lentos pueden corresponder a respuestas locales² (de pocas neuronas), o globales (de muchas neuronas) como el electroencefalograma (EEG).
 - b) Espigas: consistentes en variaciones rápidas de potencial. Los potenciales de acción son señales de comunicación interneuronal que predominantemente se utilizan para transportar señales a distancias medianas (cercanas al milímetro) o largas. Una misma neurona emite (se utiliza el término disparar) siempre el mismo tipo de forma de onda, lo que varía es el momento del disparo, o sea que la información viaja en la frecuencia y en la fase. Por tanto, lo que importa a los efectos del análisis, es la secuencia de intervalos inter-espiga (llamado también ISI por el acrónimo en inglés de Inter-Spike Interval). En definitiva, puede pensarse que la comunicación de larga distancia se implementa mediante un código de pulsos donde el elemento sustancial del código es el ISI. La detección de la espiga es el primer paso en el estudio de muchos tipos de funciones cerebrales [12, 13]. Las espigas generalmente

¹También llamados *spikes* o menos frecuentemente NAP, por su acrónimo en inglés Neural Action Potential.

²También conocidos como LFP, por su acrónimo en inglés de Local Field Potential.

Capítulo 1. Introducción

están contaminadas con el ruido ambiente y son interferidas por las espigas de neuronas cercanas. Por lo tanto, obtener registros de una única neurona puede ser difícil. En estos casos se aplican las técnicas que se mencionan en la sección 1.2.3, para intentar extraer la información de todas las neuronas presentes en el registro.

3. Otras actividades electrofisiológicas de interés son el electrocardiograma (ECG), el electromiograma (EMG), electro-oculograma (EOG) y los potenciales lentos de piel. En ellos el emisor es otro tejido (en músculo cardíaco o esquelético valen todas las mismas consideraciones que para las neuronas antes mencionadas, en el caso de la piel y los ojos los potenciales son lentos, no hay espigas). Asimismo, también se trabaja con los *Potenciales Evocados* de estas señales, éstos son el registro de estas mismas señales ante un estímulo específico, por ejemplo, el potencial evocado auditivo de EEG, sería la señal de EEG que se observa luego de un estímulo auditivo.

Típicamente estas señales se registran en forma no invasiva utilizando electrodos sobre la piel, o en forma invasiva usando electrodos colocados intra-celularmente (pinchando el tejido que se quiere registrar) o extra-celularmente (recubriendo el nervio mediante electrodos *cuff* o colocando el electrodo en la superficie del tejido). En todos los casos se obtiene una diferencia de potencia en función del tiempo (ver por ejemplo en Fig. 1.1).



Figura 1.1: Ejemplo de señal EEG. Figura gentileza de [14].

En resumen, se trata de señales lentas, de muy baja amplitud, que se encuentran superpuestas a altas tensiones de offset (señales DC producidas en la interfaz piel-electrodo o neurona-electrodo) y señales de interferencia en modo común (la red eléctrica u otras señales biológicas). En las tablas 1.1 y 1.2 se presentan las principales características eléctricas de algunas señales biopotenciales³.

1.2.2. Desde el punto de vista del front-end

Uno de los desafíos técnicos más importantes que plantea el procesamiento de señales neurales es lograr observar un número alto de canales. Existen ejemplos de aplicaciones que usando MEMS integran 100 o más electrodos [18]. Permitir la integración de tantos electrodos es una dificultad, a la que se suman las exigencias

³Se presenta información de señales que se registran habitualmente en el Departamento de Neurociencias Integrativas y Computacionales (DNIC) del Instituto de Investigaciones Clemente Estable (en la sección 1.3 se dan más detalles). Los datos fueron sacados de [15–17].

1.2. Desafíos

	Ancho de banda (Hz)	Amplitud (μV_{pp})
EEG (cuero cabelludo)	0,5 – 100	20 – 200
EEG (potencial evocado auditivo)	5 – 3k	20 – 200
EMG (electrodo superficie-piel)	25 – 3k	10 – 1000
EOG	0,1 – 10	20 – 400

Tabla 1.1: Características eléctricas de algunas señales biopotenciales en humanos.

	Ancho de banda (Hz)	Amplitud (μV_{pp})
Espigas	0,1 – 7k	50 – 1000
LFP	1 – 500	1000 – 5000

Tabla 1.2: Características eléctricas de algunas señales biopotenciales en peces eléctricos.

de alcanzar los bajos niveles de ruido necesarios para trabajar con señales tan pequeñas, resolver la integración de altas constantes de tiempo en áreas razonables, tener bajo consumo para poder actuar con fuentes pequeñas de energía y no generar calentamiento local de los tejidos. Es fundamental que la electrónica que procesa estas señales tenga alto CMRR para poder eliminar las señales de interferencia en modo común, extremo que se vuelve crítico trabajando con registros extra-celulares o con electrodos de tipo *cuff* donde es deseable tener valores de CMRR mayores a $90dB$ [19]. Asimismo, es necesario que sea capaz de bloquear importantes niveles de offset en la entrada.

En este tipo de aplicaciones es indicado utilizar filtros analógicos porque se trata de procesar señales analógicas y trasladar los requerimientos que surgen de sus características (especialmente niveles de ruido compatibles con los bajos niveles de señal) a un Conversor AD resultaría ineficiente o imposible. Además, por tratarse de señales de amplitud muy pequeña, el filtrado digital no presenta una resolución suficiente o que la tenga implica sobre-costos en consumo inaceptables.

El área podría no ser un problema si usa un único front-end y se comparte con múltiples electrodos a través de un multiplexor analógico. Este esquema casi permitiría utilizar tantos canales como se requiera. Sin embargo, las constantes de tiempo involucradas en el front-end son típicamente mucho más grandes que el tiempo de cambio necesario en el multiplexor para registrar adecuadamente cambios neuronales rápidos [18].

Es usual atacar este problema mediante una cadena de filtrado que involucra un preamplificador de bajo ruido con característica pasabanda [20, 21] y una segunda etapa de filtrado que todavía requiere algo de amplificación debido a la baja amplitud de la señales de entrada [22–24]. En la sección 2.1 se profundizará en los antecedentes más relevantes que se encuentran en la literatura.

1.2.3. Desde el punto de vista del sistema

El desafío a nivel sistema es lograr tener un dispositivo portable (inalámbrico, pequeño y cómodo) con una autonomía razonable (bajo consumo), que sea capaz

Capítulo 1. Introducción

de adquirir los biopotenciales y tomar una acción en función de ellos o transmitir esa información.

La utilización de sistemas inalámbricos para adquisición de señales neurales presenta ciertas características muy interesantes. En primer lugar otorgan más libertad, ya que los sistemas cableados restringen los movimientos del usuario. La mayoría de las aplicaciones planteadas en la sección 1.1 no serían factibles con un sistema cableado. Incluso a nivel de investigación, donde un sistema cableado resulta suficiente en la mayoría de los casos, contar con sistema inalámbrico permitiría profundizar en el estudio simultaneo de la actividad neural y el comportamiento. En segundo lugar se evita la utilización de largos cables entre el electrodo y la sucesivas etapas, que es fuente habitual de interferencia [25].

En este contexto, el mayor desafío que se enfrenta a nivel sistema es el manejo del enorme volumen de información que se genera, en un dispositivo pequeño y con un presupuesto de energía muy acotado. Para muestrear señales de $10kHz$ como mínimo se necesitan $20ksamples/s$ por canal, si se trata de 8 canales y samples de 12 bits, se tienen $2Mbps$. Si se tratara de 100 canales, la tasa efectiva de transmisión de datos debería ser mayor a $24Mbps$. Ningún protocolo de comunicación inalámbrica de bajo consumo alcanza estas tasas de transmisión hoy en día.

Hay varios trabajos de investigación que han buscado brindar soluciones con las herramientas tecnológicas que se encontraban disponibles en su momento, algunos ejemplos interesantes son: [25–28]. En el Grupo de Microelectrónica (GME) del Instituto de Ingeniería Eléctrica (Universidad de la República) se ha comenzado recientemente un esfuerzo en este sentido [14] [29].

En [25] se presenta un sistema de telemetría, que adquiere señales neurales y EMG en pequeños animales (flying locusts y weakly swimming electric fish) y las transmite en forma inalámbrica en la banda de los $900MHz$. Se presenta una versión 1, fabricada en $0.6\mu m$ BiCMOS, pesa 0,79 gramos y tiene una autonomía de 2 horas trabajando con dos pilas de $1,5V$. También se presenta una versión 2 fabricada en $0,35\mu m$ CMOS, pesa 0,17 gramos y tiene una autonomía de 5 horas trabajando con una pila de $1,5V$.

Una manera de resolver el problema de tener que transmitir un volumen tan alto de datos es incorporar procesamiento de datos, para tomar acciones in situ (dar una alarma o estimular) o para transmitir un volumen mucho menor de datos.

En la literatura se encuentran varios métodos para detectar la posición de un spike [12]. Algunos de ellos, comparan la señal cruda contra un template (*template matching*). Estos métodos son particularmente efectivos cuando la forma de onda del spike buscado es conocido a priori o puede estimarse. También se encuentran métodos, que midiendo la energía de la señal, logran resolver el problema [27].

El algoritmo más sencillo para detectar la posición de una espiga es *detección por umbral o threshold detection*. El método detecta spikes viendo los cruces de la señal por un umbral fijado arbitrariamente. Su principal ventaja es que es sencillo de implementar y tiene bajo costo computacional. Su principal desventaja es que es sensible al ruido o a la interferencia de otras señales (por ejemplo espigas de otras neuronas), con lo cual, si el registro tiene más de una neurona su resultado puede no ser satisfactorio. Se han planteado mejoras que utilizan un umbral positivo

y otro negativo para buscar los flancos positivos y negativos de la espiga o que adaptan el umbral en función del ruido [27].

En general alcanza con enviar el ISI pero pueden plantearse esquemas que envíen pocos datos más brindando mucha más información. Por ejemplo, en [28] se plantea un esquema de compresión de datos mediante *feature extraction*: el spike es detectado mediante dos umbrales (uno negativo y otro positivo), y en lugar de enviar toda la señal se envían 6 puntos (los cruces por los umbrales, el pico positivo y el pico negativo).

La detección de spikes termina siendo un primer paso de muchos de métodos de análisis. Para el caso de tener una o más neuronas superpuestas se puede utilizar *feature analysis*, es decir, se establecen ciertas características distintivas de la señal (como por ejemplo su amplitud pico a pico o el tiempo que pasa entre el pico negativo y positivo) y se agrupan las que poseen características similares. Este método puede extenderse y automatizarse mediante PCA (*Principal Component Analysis*). Luego de identificar se utilizan técnicas para clasificar, si se conocen las formas de onda o se pueden estimar, se puede usar *template matching* o *filtrado óptimo*, o se pueden usar técnicas de reconocimiento de patrones como *k-means* o *bayesian clustering*. En el caso de *k-means* la pertenencia al cluster se define mediante la distancia euclideana respecto al centro (que se calcula como la media) [12].

Mohseni ha trabajado estos temas con el objetivo de estimular, logrando integrar en un mismo chip un sistema capaz de adquirir señales neuronales, procesarlas y estimular otras neuronas, evitando totalmente de este modo la necesidad de transmitir datos hacia el exterior [30, 31].

A nivel comercial, existen en el mercado varias opciones de equipos comerciales cableados e inalámbricos, por ejemplo [32–34]. En general, traen asociado un software que permite realizar PCA o análisis matemáticos más complejos. La desventaja mayor que tienen es la falta de automatización, se requiere de mucha intervención del usuario para configurar los umbrales (se realiza a mano viendo las formas de onda de las espigas en cada experimento).

A nivel de sistema se presenta otro desafío no totalmente resuelto al día de hoy: el sincronismo con señales de estímulo. En varias áreas de investigación relacionadas con la neurociencias, la medicina o la psicología, entre otras, es importante realizar registros de señales neurales después de realizar un cierto estímulo (visual, auditivo, etc.) con el objetivo de buscar correlaciones. Lograr que el sistema incorpore como entrada la señal de estímulo sincronizada perfectamente con el registro neural es un problema no totalmente resuelto al día de hoy en equipos comerciales.

En lo que respecta específicamente a los registros donde el electrodo está en contacto con la piel (EEG, EMG, EOG, etc.) hay varios desafíos por resolver. La necesidad de electrodos pequeños, de fácil colocación y preferentemente embebidos en la ropa, no se encuentra totalmente resuelta al día de hoy. Los electrodos estándar, que llamaremos *húmedos*, típicamente son de Ag/AgCl y se pegan a la piel mediante un gel conductivo que mejora las condiciones de la interfaz. Este proceso de colocación es lento, engorroso y el resultado es incómodo para el usuario. Por otra parte, se conocen desde hace tiempo también los *electrodos secos*, pero su

Capítulo 1. Introducción

desarrollo se mantiene acotado a ciertos nichos (fitness, juegos, etc.). La principal ventaja que aportan los electrodos secos es la facilidad de colocación y la comodidad de uso. En contrapartida, la calidad de la señal obtenida por los electrodos secos actuales y con la electrónica de adquisición tradicional tiene importantes deficiencias en términos de ruido y sensibilidad al movimiento del electrodo [35]. Por tanto desde el punto de vista de la electrónica, uno de los problemas abiertos es la optimización de los electrodos y los circuitos de adquisición de señal para paliar las desventajas que presentan los electrodos secos.

1.3. Objetivos

El objetivo general de la presente tesis es estudiar, diseñar e implementar circuitos integrados para utilizar en el front-end de una plataforma de ICM. Esto involucra la adquisición y acondicionamiento de la señal para que posteriormente un SoC (*System on Chip*) la digitalice, la procese y tome una acción, ya sea en forma local o la transmita en forma inalámbrica (ver Fig. 1.2). Se espera que el front-end sea programable y permita trabajar con el conjunto más amplio de señales biopotenciales que sea posible (en la jerga interna esto es llamado un *todo terreno*). Esto aumenta significativamente el número de aplicaciones y le brinda al usuario flexibilidad, generando como se verá más adelante, ambiciosos requerimientos en términos de rango dinámico, ganancia y ancho de banda.

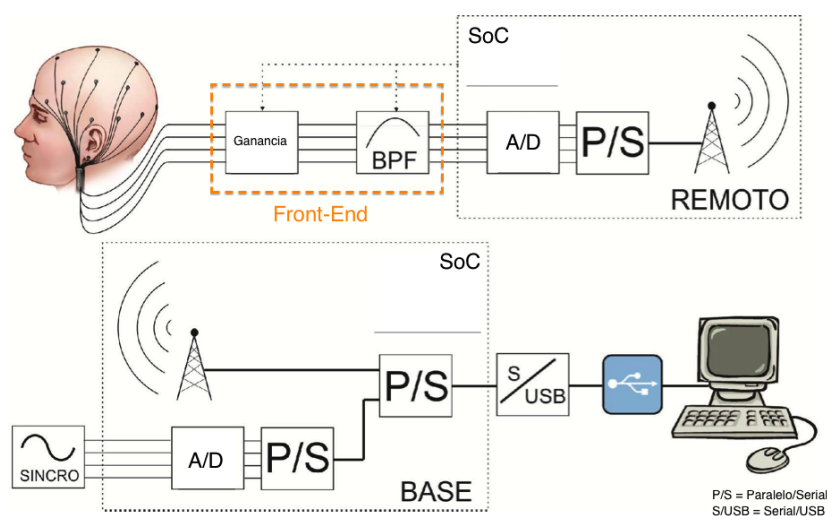


Figura 1.2: Diagrama de bloques de alto nivel de la plataforma de ICM. Figura gentileza de [14].

Fue un objetivo particular de la tesis generar trabajo multi-disciplinario en el área, trabajando en conjunto con el Departamento de Neurociencias Integrativas y Computacionales (DNIC) del Instituto de Investigaciones Clemente Estable (IIB-CE), a cargo del Dr. Angel Caputi. Se espera que los circuitos diseñados en el marco de la tesis (y sus futuras continuaciones) puedan formar parte del trabajo de investigación del DNIC y aporten métodos novedosos de registro y procesamiento de señales electrofisiológicas. Asimismo, se espera que el DNIC continúe

proveyendo el conocimiento que permita diseñar estos circuitos y aplicaciones de ICM desde el punto de vista biológico, y sea quién implemente las pruebas en seres vivos. Finalmente, se espera que este trabajo de colaboración, que excede la presente tesis, permita la aplicación futura de dichos circuitos y pueda generar desarrollos nacionales de sistemas ICM con distintas aplicaciones.

El DNIC tiene larga trayectoria en el país en investigación en neurociencias, en ese marco se realizan registros de señales eléctricas neuronales en diversos seres vivos (tanto animales como humanos). Estos registros pueden ser unitarios, extra-celulares, intra-celulares, EEG, EMG, etc. El objetivo de estas investigaciones, es descubrir relaciones entre la actividad eléctrica, neuronal y global del cerebro, con funciones cerebrales como la percepción, el control motor o las funciones cognitivas. Esto genera una demanda constante de innovación en las técnicas de adquisición, y con ello la necesidad de nuevos y mejores dispositivos que permitan alcanzar dicho fin. En el DNIC se trabaja con equipos cableados de Datawave Technologies [33] y recientemente se adquirió el *Nicolet EEG Wireless Amplifier* de Natus Medical [34]. Si bien se trata de muy buenos equipos, en ningún caso el nivel de satisfacción ha sido completo, los equipos cableados presentan problemas de ruido e interferencia importantes, se confirma el hecho que las soluciones que multiplexan un único amplificador de entrada son peores que los otros; por otra parte los equipos inalámbricos no resuelven bien el sincronismo entre la señales de estímulo y el registro de los biopotenciales.

1.4. Especificaciones

En función de las líneas de investigación en curso y los biopotenciales que se estudian en el DNIC se definieron las características de las señales que deberá adquirir el front-end (ver Tabla 1.3).

	Aceptable	Ideal
Amplitud (μV_{pp})	10 – 400	1 – 1000
Frecuencia (Hz)	1 – 2k	0,1 – 10k
CMRR (dB)	80	100
Nivel de continua en la entrada (mV)	50mV	-

Tabla 1.3: Características de las señales que debe adquirir el front-end

De acuerdo a las características planteadas en la Tabla 1.3 y otras características usuales en aplicaciones similares se fijaron las siguientes especificaciones para el front-end:

- Frecuencia de corte inferior $f_{low} \leq 0,1Hz$.
- Frecuencia de corte superior f_{high} programable entre 100Hz y 5kHz.
- Ganancia G programable entre 1k y 100k.

Capítulo 1. Introducción

- Consumo $I_{DD} \leq 16\mu A$.
- Ruido equivalente de entrada $V_{ni,rms} \leq 2\mu V_{rms}$
- CMRR $\geq 80dB$
- Bloqueo de continua $\geq 50mV$
- Output Swing $\geq 1V_{pp}$ con $THD \leq 5\%$
- Filtrado mayor o igual que $-40dB/dec$ a baja y alta frecuencia.

1.5. Solución propuesta

Las principales arquitecturas de filtros analógicos integrados que pueden implementarse en tecnología CMOS son: Gm-C, MOSFET-C y a capacitores conmutados. En el rango de frecuencias de interés de la presente aplicación los tres tipos de filtro funcionarían bien. Los filtros Gm-C presentan mayor resistencia de entrada (aspecto importante para la aplicación) y logran trabajar en un rango mucho mayor de frecuencias (decenas de Hz hasta algún GHz) [36]. Por último, hay mayor actividad de investigación y desarrollo reciente en torno a los filtros Gm-C por lo que resulta un área de trabajo interesante.

Las arquitecturas de biquad clásicas para implementar un filtro pasabanda (por ejemplo [37] p. 847) dedican un OTA casi exclusivamente para dar la característica pasa-alto y eliminar la continua, lo cual genera un overhead en consumo y área. En este trabajo se propone utilizar la arquitectura propuesta en [21] que logra eliminar la continua sin la necesidad de ese overhead. Además, la arquitectura permite aumentar significativamente el CMRR sin penalizar el consumo. Basada en un DDA (Differential Difference Amplifier) propone una nueva técnica para eliminar la continua en la salida y fijar la frecuencia de corte inferior.

El front-end propuesto consta de tres etapas (ver Fig. 1.3). En primer lugar un preamplificador de bajo ruido de ganancia fija ($300V/V$) que se presentará en el capítulo 2. La programación se deja para una etapa intermedia, donde no sea necesario filtrar señales de amplitud tan pequeñas (y por tanto el ruido ya no sea un problema serio) ni tan grandes (donde la linealidad sea difícil de manejar). Esta etapa intermedia consiste en un filtro pasabanda que tiene ganancia programable entre 1 y 100 y frecuencia superior programable entre 100 y $5kHz$ (ver capítulo 3 para más detalles). Finalmente se tiene un amplificador baja ganancia ($3,3V/V$) y alto rango lineal (ver capítulo 4). Las tres etapas tiene una característica pasabanda de primer orden.

En lo que refiere al diseño de circuitos integrados se utilizaron metodologías que se basan en el uso de la relación transconductancia - corriente del transistor como variable guía de la exploración del espacio de diseño [38], a la vez que se aplican modelos que permiten trabajar en todas las zonas de operación del transistor MOS (como el ACM [39]). Como herramientas de CAD se utilizó el entorno profesional Cadence, para el cual existe fácil disponibilidad de kits de diseño para

1.5. Solución propuesta

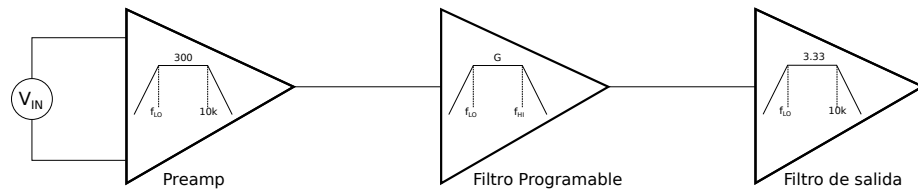


Figura 1.3: Arquitectura propuesta para el front-end.

las tecnologías de punta y Matlab como herramienta de implementación de las rutinas de diseño. Para la fabricación de prototipos se contó con el apoyo de Mosis. Los circuitos fueron diseñados, simulados y fabricados en el proceso C5 $0,50\mu$ de ON Semiconductor.

Esta página ha sido intencionalmente dejada en blanco.

Capítulo 2

Preamplificador de bajo ruido

2.1. Antecedentes

En esta sección se presentarán los principales antecedentes del estado del arte en preamplificadores de bajo ruido y ultra bajo consumo con aplicación a señales neurales. Para eso primero se definirá el NEF ¹, la figura de mérito usada habitualmente en la literatura para compararlos. Planteado por primera vez en [40], el NEF permite evaluar el compromiso entre consumo, ruido y ancho de banda. Cualitativamente se puede decir que cuanto mas bajo es mejor, ya que eso estaría indicando que sobre el mismo ancho de banda, a igual consumo se tiene menos ruido (ver sección 2.2.4).

Harrison et al. en [20] presenta un circuito que en la última década se ha vuelto referencia ineludible (ver Fig.2.1), al punto que muchos otros han utilizado su arquitectura [17, 22, 23, 28, 41–43]. En su momento reportó el mejor compromiso ruido-consumo (ancho de banda: $25mHz-7,2kHz$, ruido $v_{ni} = 2,2\mu V_{rms}$ y $NEF = 4,0$), y todavía en ciertos aspectos su circuito se mantiene en el estado del arte. Para minimizar el ruido, la arquitectura propuesta pone el mayor esfuerzo de diseño en los transistores de entrada (utilizando transistores grandes, trabajando en inversión débil o moderada). El circuito presenta varios aspectos interesantes: la ganancia es fijada por un cociente de capacidades (lo que evita el uso de resistencias que son fuente de ruido), tiene entrada diferencial (lo que ayuda a tener un buen CMRR) y la característica pasabanda se logra mediante condensadores en la entrada. En contraposición, la frecuencia de corte inferior no se puede predecir con precisión ya que es fijada mediante un pseudo-resistor MOS. En efecto, el valor de este elemento es difícil de modelar y controlar, se trata de un elemento no lineal, que además puede sufrir deriva. Por tanto, si bien esta arquitectura se presta para llegar a valores de f_{low} menores a $0,1Hz$, no puede asegurarlo con una precisión razonable. Asimismo, si bien se obtienen valores correctos de CMRR ($60dB$), no es posible obtener valores muy altos ($80 - 100dB$) debido al matching entre los capacitores que fijan la ganancia.

¹ NEF es Noise Efficiency Factor por sus siglas en inglés, se trata de una figura de mérito que evalúa el compromiso entre consumo y ruido.

Capítulo 2. Preamplificador de bajo ruido

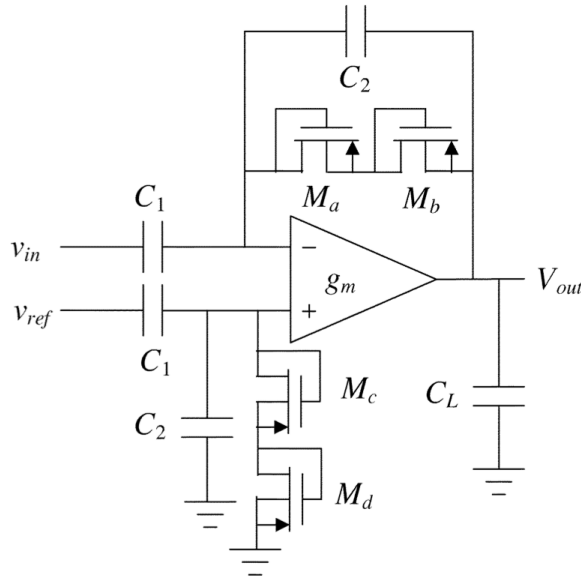


Figura 2.1: Preamplificador de Harrison. Figura tomada de [20].

La mayoría de los trabajos que han seguido la arquitectura de Harrison no han logrado o no se han preocupado por llegar a una f_{low} de $0,1Hz$.

Horiuchi et al. en [41] es uno de ellos, que se destaca por el muy bajo consumo $I_{DD} = 530nA$ (pero con $v_{ni} = 20,6\mu V_{rms}$ y $NEF = 7,1$) e implementa un sistema de *spike sorting* basado en umbrales.

Wattanapanitch et al. en [22] presenta una modificación a la arquitectura de Harrison que utilizando una estructura de folded-cascode permite que el gasto importante de corriente se concentre en el par de entrada del OTA, reduciendo el consumo de las otras ramas (ancho de banda: $45Hz - 5,3kHz$, $v_{ni} = 3,1\mu V_{rms}$ y $NEF = 2,7$). El circuito tiene un buen desempeño a costa de bajar el ancho de banda. Más recientemente los mismos autores presentaron una versión con 32 canales [42], que no es tan buena en términos de los parámetros que estamos analizando ($v_{ni} = 5,4\mu V_{rms}$ con $I_{DD} = 11\mu A$) pero es mejor en términos de área.

Zou et al. en [23] también propone mejoras a la arquitectura de Harrison, en particular una técnica para mejorar la linealidad de los pseudo-resistores, pero trabajando sobre un ancho de banda bastante más restringido ($4,5mHz - 292Hz$).

Rodríguez-Pérez et al. en [43] presenta un sistema de adquisición de señales neurales que utiliza *feature extraction* para comprimir la información. El preamplificador está basado en la arquitectura de Harrison y se destaca que en la etapa de entrada se implementó un filtro de segundo orden. Esto permite una reducción de ruido interesante (ancho de banda: $217Hz - 7,2kHz$, ruido $v_{ni} = 2,8\mu V_{rms}$ y $NEF = 1,8$). Los mismos autores, en [28] reportan un circuito más complejo basado en el anterior, donde el preamplificador implementado resultó en una performance levemente inferior sobre un mayor ancho de banda (ancho de banda: $11,5Hz - 9,8kHz$, ruido $v_{ni} = 3,8\mu V_{rms}$ y $NEF = 1,9$).

Más recientemente, Zhang et al. en [17], introduciendo alguna mejora a la

2.2. Solución propuesta

arquitectura original de Harrison, logra bajar el NEF a 2,9 manteniendo una f_{low} menor a $0,1Hz$.

Otras arquitecturas de preamplificadores han sido propuestas (Guo et al. en [44], Chatuverdi et al. en [45], Castro et al. en [21]) aunque ninguna logra cubrir el ancho de banda de $0,1Hz$ a $10kHz$ manteniendo las otras especificaciones. En particular, se destaca que Castro et al. en [21] presenta una arquitectura que permite aumentar significativamente el CMRR ($CMRR > 107dB$) sin penalizar el consumo. Basada en un DDA (Differential Difference Amplifier) propone una nueva técnica para eliminar la continua en la salida y fijar la frecuencia de corte inferior (ancho de banda: $250Hz - 8kHz$, ruido $v_{ni} = 2,4\mu V_{rms}$ y $NEF = 4,2$). Esta es la base de la arquitectura escogida en la presente tesis y será desarrollada más adelante.

En la Tabla 2.10 de la sección 2.5 se listan las principales características de los preamplificadores reseñados en esta sección.

2.2. Solución propuesta

En [21] se presenta la prueba de concepto de una arquitectura novedosa para un circuito DDA, pero se dejaron varios cabos sueltos. En esta tesis se propuso utilizar esa arquitectura repensándola en términos de un biquad, y eso permitió atar varios de esos cabos. En particular se derivaron las ecuaciones de la arquitectura que permiten diseñar fácilmente a partir de los requerimientos (se desarrolló la expresión de la transferencia, las ecuaciones de la ganancia y los polos, la condición para evitar no linealidades de la técnica novedosa aplicada de bloqueo de la componente de continua de entrada, entre otras). Asimismo se propusieron modificaciones que permitieron bajar el consumo, bajar el ruido y extender el ancho de banda, al punto que estos cambios permitieron que el preamplificador fabricado mostrara resultados que igualan o superan el estado del arte en varios aspectos (NEF , ruido equivalente a la entrada, ancho de banda, etc.). Finalmente, se mostró la versatilidad de la solución diseñando un preamplificador de bajo ruido, un filtro programable y un filtro de ganancia fija y alto rango lineal.

2.2.1. Transferencia del preamplificador

Para implementar el preamplificador se propone utilizar un circuito² cuyo diagrama esquemático se presenta en la Fig. 2.2.

Los bloques Gm_2 y Gm_f se implementan con OTAs simétricos cuya respectiva transconductancia es g_{m2} y g_{mf} . En la Fig. 2.2 no se muestran las fuentes de corrientes que polarizan los OTAs, éstas serían: $I_{BIASGm1} = 2I_{D1}$, $I_{BIASGm2} = 2I_{D2}$ e $I_{BIASGmf} = 2I_{Df}$.

²Como se mencionó anteriormente el circuito está basado en la arquitectura propuesta en [21]. En el apéndice C se presenta un resumen para tener una referencia rápida.

Capítulo 2. Preamplificador de bajo ruido

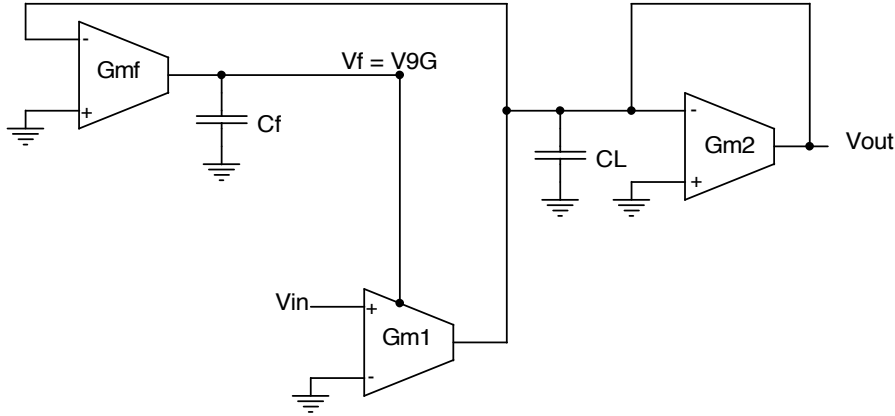


Figura 2.2: Diagrama de bloques del preamplificador propuesto

Con el objetivo de reducir el consumo se propone implementar³ Gm1 como un par diferencial con carga activa de transconductancia g_{m1} (en la Fig. 2.3 se puede ver el bloque Gm1 a nivel transistor).

El bloque formado por los transistores M6, M7, M8 y M9 es para la eliminación de continua en forma *local*, en la sección 2.2.3 se verá su funcionamiento en detalle. Para simplificar⁴ la notación, los g_m de estos transistores se definen así: $g_{mM6} = g_{m6}$, $g_{mM7} = g_{m7}$, $g_{mM8} = g_{m8}$ y $g_{mM9} = g_{m9}$.

Analizando el circuito de la Fig. 2.3, se observa que dada una entrada diferencial, la corriente que fluye por M2, que es la mitad de la corriente de salida, se reparte por M8 y M9. Análogamente, la corriente de salida que aporta M1, se copia por M4-M5 y se termina dividiendo entre M6 y M7. De este modo, se puede observar que cuanto menos corriente tomen M6 y M9, mayor será la corriente que se entregue a la salida, y por tanto mayor será la ganancia de Gm1, en consecuencia conviene tomar $g_{m7} \gg g_{m6}$ y $g_{m8} \gg g_{m9}$.

A continuación se presentan las ecuaciones de los principales parámetros del circuito considerando que $g_{m7} \gg g_{m6}$, $g_{m8} \gg g_{m9}$ y $g_{m7} = g_{m8} = g_{m1}$. El detalle de los cálculos puede verse en el apéndice A.1:

$$\frac{v_{out}}{v_{in}} = \frac{\frac{g_{m1}}{C_L} s}{s^2 + \frac{g_{m2}}{C_L} s + \frac{(g_{m6} + g_{m9})g_{mf}}{C_L C_f}} \quad (2.1)$$

³Esta es una de las principales diferencias con [21] donde Gm1 está implementado con un OTA simétrico. Desde el punto de vista funcional se trata de circuitos equivalentes, nuestra propuesta consume la mitad de corriente, en contrapartida la excursión de salida se verá afectada (hay un *totem* de 6 transistores en la rama de salida contando que la fuente de corriente está cascodeada contra 4 en [21]), pero esto no es un problema porque las señales son muy pequeñas. En el peor caso el output swing en la salida será de 300mV.

⁴Se está proponiendo un abuso de notación que se espera ayude al lector a seguir las ecuaciones. Por un lado g_{m1} , g_{m2} y g_{mf} refieren a la transconductancia efectiva de los bloques Gm1, Gm2 y Gmf (y por lo tanto no refieren a los transistores M1, M2 y Mf). Por otro lado, g_{m6} , g_{m7} , g_{m8} y g_{m9} refieren a la transconductancia de M6, M7, M8 y M9.

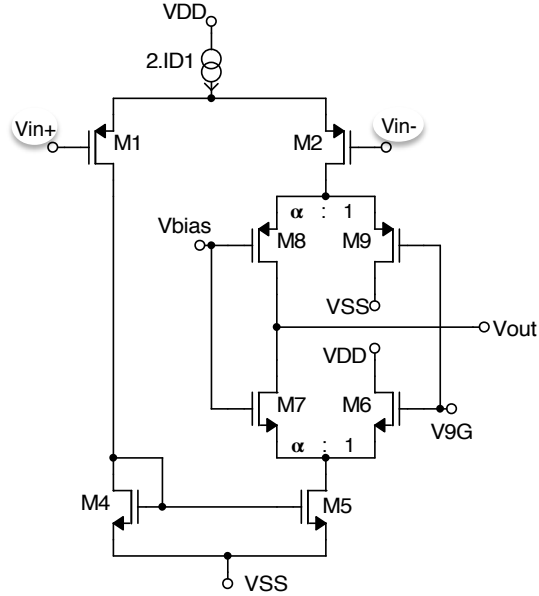


Figura 2.3: Detalle a nivel de transistor del transconductor G_{m1} del preamplificador

Se puede ver que la transferencia es de tipo pasabanda donde la frecuencia de corte superior f_{high} , la ganancia en la banda pasante G y la frecuencia de corte inferior f_{low} están dados por:

$$f_{high} = \frac{g_{m2}}{2\pi C_L} \quad (2.2)$$

$$G = \frac{g_{m1}}{g_{m2}} \quad (2.3)$$

$$f_{low} = \frac{g_{m6} + g_{m9}}{g_{m2}} \frac{g_{mf}}{2\pi C_f} \quad (2.4)$$

En resumen, el G_{m1} del preamplificador propuesto determina la ganancia y elimina la continua, G_{mf} determina el polo de baja de frecuencia; y G_{m2} , conectado como resistencia de valor $1/g_{m2}$, determina el polo de alta frecuencia e interviene en la expresión de la ganancia y en el polo de baja frecuencia.

La solución propuesta entonces, hereda las ventajas reportadas por [21] pero utilizando un presupuesto de corriente del orden de la mitad. En primer lugar, utiliza un OTA menos que en arquitecturas más tradicionales (por ejemplo la planteada en el apéndice B), con lo cual hay un ahorro en complejidad, en área y en consumo. Asimismo, permite aumentar significativamente el CMRR sin penalizar el consumo, propone una técnica novedosa para eliminar la continua en la salida y fijar la frecuencia de corte inferior. Por otra parte, la solución presenta una posible desventaja, que se estudiará en la sección 2.2.2: los pares diferenciales M6-M7 y M8-M9 podrían introducir una multiplicación indeseada de señales.

Capítulo 2. Preamplificador de bajo ruido

2.2.2. Análisis de linealidad

Los pares diferenciales M6-M7 y M8-M9 potencialmente pueden llegar a introducir una multiplicación entre v_{in} y v_{9g} . En el apéndice A.2 se hacen los cálculos que permiten llegar las siguiente condiciones⁵:

$$v_{in} \ll \frac{2}{(g_m/I_D)_1} \quad (2.5)$$

$$v_{9g} \ll \frac{2\alpha}{(g_m/I_D)_{C1}} - \alpha n U_T \quad (2.6)$$

Donde α se definió como: $g_{m7} = g_{m8} = \alpha g_{m9} = \alpha g_{m6}$ con $\alpha \gg 1$.

Considerando que tanto M1-M2 como M6, M7, M8 y M9 van a estar en inversión débil y $\alpha = 100$, las condiciones se cumplen sobradamente:

$$v_{in} \ll \frac{2}{(g_m/I_D)_1} \simeq 80mV \quad (2.7)$$

$$v_{9g} \ll \frac{2\alpha}{(g_m/I_D)_{C1}} - \alpha n U_T = \alpha n U_T \simeq 4V \quad (2.8)$$

2.2.3. Análisis de bloqueo de continua

Para corroborar que el bloque M6-M9 de Gm1 bloquea la continua, puede hacerse una análisis transitorio. En efecto, cualquier diferencia en la salida V_{out} respecto a tierra será integrada por Gmf- C_f modificando el valor $V_f = V_{9G}$ de modo tal que M6 y M9 tomen la corriente que sobra. Esta corriente es la necesaria para que el lazo de realimentación establezca que la corriente de salida de Gm1 sea cero y por tanto el voltaje V_{out} también lo sea.

Este esquema de eliminación de continua debería ser capaz de bloquear altos niveles de DC sin penalizar el consumo. Este ahorro en consumo está fundamentado en que se elimina la continua *localmente* (donde un offset importante en la entrada, genera una corriente importante en un OTA que está manejando niveles de corriente importantes), si ese mismo offset se quiere eliminar con otro OTA, que deberá ser mucho más chico para no consumir demasiado (como por ejemplo se hace en el apéndice B), la situación podría complicarse.

El circuito será capaz de eliminar la continua en la salida a menos del offset de Gmf. Este valor deberá simularse rigurosamente porque se trata de un OTA cuyo valor de transconductancia es pequeño y esto implica niveles de offset mayores [46].

En la sección 2.2.1 se estableció que, desde el punto de vista del consumo, es mejor tomar $\alpha \gg 1$ en $g_{m7,8} = \alpha g_{m6,9}$. Para el preamplificador se tomará un valor extremo de $\alpha = 100$, ya que es el lugar donde se está invirtiendo más corriente. Tomar una relación tan grande puede limitar la cantidad de corriente que son

⁵Aclaración sobre notación: cuando se escribe $(g_m/I_D)_{ab}$, b puede ser 1, 2 o f y corresponde respectivamente a Gm1, Gm2 o Gmf. Si a se omite se refiere a los transistores del par de entrada, si es una E corresponde a los transistores que funcionan como espejos y si es C a los cascos.

capaces de entregar M6 y M9, y por tanto limitar la capacidad de bloqueo de continua del bloque. A lo largo de la tesis se estudiará este tema y se intentará dar elementos para encontrar el mejor compromiso. En el anexo D se presenta un filtro que utiliza el otro extremo imponiendo que $\alpha = 1$ (allí la penalidad en consumo es máxima). Por otra parte, en el filtro programable y el filtro de salida se intentará utilizar un $\alpha = 10$ que brinda un compromiso interesante.

2.2.4. Análisis de ruido

En [21] se desarrolla la expresión de la densidad espectral de potencia del ruido S_{ni}^{Total} debida al ruido térmico de los transistores MOS⁶. Allí puede verse que el ruido se minimiza e incluso se independiza de Gm2 tomando:

- $I_{D1} \gg I_{D2}$.
- $(g_m/I_D)_1$ máximo: transistores del par de entrada de Gm1 en inversión débil.
- $(g_m/I_D)_2$ mínimo: transistores del par de entrada de Gm2 en inversión fuerte.
- $(g_m/I_D)_{E2}$ mínimo: transistores de los espejos de Gm2 en inversión fuerte.

Por lo tanto, si se imponen esas condiciones en nuestro diseño, para conocer el ruido de preamplificador alcanzará con estudiar el ruido que genera Gm1. Tomando como referencia la Fig. 2.3 puede observarse que los transistores de la fuente de corriente introducen ruido en modo común y por tanto pueden no considerarse. Del mismo modo puede verse que los transistores M6-M9 son cascodos y por tanto no aportan ruido. Entonces, para saber el ruido introducido por Gm1 alcanzará con estudiar los aportes de M1, M2, M4 y M5.

La $S_{ni}^{M1,2}$ de los transistores M1 y M2 es sencilla de evaluar porque estos transistores ya se encuentran en la entrada:

$$S_{ni}^{M1} = S_{ni}^{M2} = \frac{\gamma_1 n_p k T}{g_{m1}} \quad (2.9)$$

Donde $\gamma = \gamma_{wi} = 2$ en inversión débil y es $\gamma = \gamma_{si} = 8/3$ en inversión fuerte, n es el factor de pendiente (el subíndice indica si se trata de un transistores PMOS o NMOS), k es la constante de Boltzmann y T es la temperatura en grados Kelvin.

Si se considera que el espejo M4-M5 copia perfecto, el aporte de ambos transistores va ser el mismo ($g_{mE1} = g_{mM4} = g_{mM5}$). Las corrientes de ruido de estos transistores se introducen en el nodo de salida v_{out} en forma directa y puede probarse (ver detalle del cálculo en apéndice A.3):

$$S_{ni}^{M4} = S_{ni}^{M5} = \frac{\gamma_{E1} n_n k T g_{mE1}}{g_{m1}^2} \quad (2.10)$$

Si se observan las ecuaciones 2.9 y 2.10 se concluye que conviene diseñar los transistores del siguiente modo:

⁶Nomenclatura para S_{ni}^{origen} : en el subíndice ni , la n refiere a ruido y la i a entrada, si hubiera una o sería salida. En el supra-índice se indica el origen del ruido.

Capítulo 2. Preamplificador de bajo ruido

- $(g_m/I_D)_1$ máximo: transistores del par de entrada de Gm1 en inversión débil.
- $(g_m/I_D)_{E1}$ mínimo: transistores de los espejos de Gm1 en inversión fuerte.

Sumando el aporte de todos los transistores ruidosos (ecuaciones 2.9 y 2.10) se llega a:

$$S_{ni}^{total} = \frac{2\gamma_{si}n_nkT}{g_{m1}} \left(\frac{\gamma_{wi}n_p}{\gamma_{si}n_n} + \frac{(g_m/I_D)_{E1}}{(g_m/I_D)_1} \right) \quad (2.11)$$

Para evaluar el compromiso entre consumo y ruido es usual en estas aplicaciones utilizar el NEF (Noise Efficiency Factor) planteado por [40]⁷

$$NEF = v_{ni} \sqrt{\frac{I_{DD}}{2k\pi T U_T BW}} \quad (2.12)$$

Donde v_{ni} el ruido total del preamplificador referido a la entrada, I_{DD} es la corriente total consumida, $U_T = kT/q$ es el voltaje térmico y BW es el ancho de banda.

Para evaluar el NEF resulta útil compararlo con otros preamplificadores que se encuentren en el estado del arte. Complementariamente puede resultar útil considerar el límite teórico de NEF que se propone en [22] para preamplificadores como el nuestro. Allí, se toma como hipótesis que el único ruido presente en el circuito es el ruido térmico que introduce el par de entrada M1-M2 (se desprecia totalmente el ruido de flicker y el térmico de otros transistores) y se asumen que el filtrado es de primer orden. La expresión de este límite es:

$$NEF_{min} = \sqrt{2}.n \quad (2.13)$$

2.3. Diseño

2.3.1. Flujo de diseño

Dado un presupuesto de corriente I_{D1} y que según se vio en la sección 2.2.4 $(g_m/I_D)_1$ debe ser máximo para minimizar el ruido, g_{m1} queda determinado.

Fijado g_{m1} , la especificación de la ganancia del preamplificador G determina g_{m2} a través de la ecuación 2.3.

Entonces, dado g_{m2} , la ecuación 2.2 y la especificación de f_{high} se tiene C_L . Si bien se alcanzan sin problemas valores de f_{high} adecuados para la aplicación se observa que hay un límite que vendrá impuesto por las capacidades parásitas en el nodo salida v_{out} .

⁷Se utilizará este NEF porque se trata de un estándar *de facto* en este tipo de aplicaciones, pero se debe observar que fue concebido pensando solamente en el ruido térmico y es interesante observar que todo el esfuerzo que se realice por mitigar el ruido de bajas frecuencias como Flicker no se verá reflejado adecuadamente porque el término BW permanecerá constante.

Por un lado conviene polarizar los transistores del par de entrada de Gm2 en inversión fuerte para minimizar el ruido (ver sección 2.2.4) y también esto es útil para tener buen rango lineal en Gm2 (esto es porque la entrada de Gm2 está conectada a la salida v_{out} y puede llegar a manejar señales de $300mV_{pp}$). Por otro lado, llevarlos a inversión muy fuerte será penalizado desde el punto de vista del consumo. En función de este compromiso se define $(g_m/I_D)_2$ y como g_{m2} ya estaba determinado, queda fijado I_{D2} .

En general, como los transistores cascosos no aportan ruido, lo único a tener en cuenta es que no limiten el output swing, una polarización en inversión débil que lleve a un pequeño V_{DSsat} es lo más apropiado. Este fue el criterio utilizado para Gm2. Sin embargo para Gm1, los transistores cascosos M6, M7, M8 y M9 también intervienen en el polo de baja frecuencia. Para obtener un valor tan bajo como sea posible del polo de baja frecuencia conviene que g_{m6} y g_{m9} sean lo más bajo posible y por tanto convendría que estos transistores estuvieran en inversión fuerte. Por otra parte, en la sección 2.2.1 se vio que debe imponerse que $g_{m7} \gg g_{m6}$ y $g_{m8} \gg g_{m9}$ donde $g_{m7} \cong g_{m8}$. En función de estos compromisos se deben dimensionar los transistores M6, M7, M8 y M9 y por tanto fijar g_{m6} y g_{m9} .

Una vez determinados g_{m2} , g_{m6} y g_{m9} , y considerando que C_f está acotado por el máximo valor que pueda conseguirse con un área razonable ($C_f = 200 - 300pF$). Entonces, dada una especificación para f_{low} a través de la ecuación 2.4, el valor g_{mf} queda determinado. Para tener una f_{low} lo más baja posible se necesita tener un valor g_{mf} lo más pequeño posible, lo cual implica un W/L chico. Por este motivo y para tener mejor rango lineal de entrada puede ser preferible polarizar los transistores del par de entrada de Gmf en inversión fuerte. Aunque hacerlo, puede devenir en transistores excesivamente largos con valores de C_{gs} igualmente altos. Entonces, para mantener el tamaño de estos transistores puede convenir polarizar en inversión moderada o débil. Desde el punto de vista del consumo esto es mejor, aunque las corrientes involucradas son tan pequeñas que este argumento no pesa. Definido así $(g_m/I_D)_f$ queda determinado I_{Df} .

En la sección 2.2.1 se mostró que desde el punto de vista del ruido conviene polarizar los espejos de Gm1 y Gm2 en inversión fuerte, por otra parte esto puede llevar a tener un V_{DSsat} alto.

2.3.2. Implementación

El circuito se diseñó para trabajar con un voltaje de alimentación nominal $V_{DD} = 3,3V$ y $V_{SS} = 0V$. V_{bias} , la tensión continua de gate de M8 y M9, por simetría se fija en $V_{DD}/2 = 1,65V$, ésta será la referencia que se utilizará a través de todo el front-end. Esto obliga a que $V_{in,DC}$, la tensión continua de gate de M1 y M2, sea un poco más alta de $1,65V$, se definió usar $V_{in,DC} = 2V$.

En función de las especificaciones descriptas en la sección 1.4 y de los criterios de diseño y compromisos expresados en la sección 2.3.1 se tomaron los criterios de diseño que se describen a continuación.

Se eligió tomar una $I_{D1} = 3,75\mu A$ porque es la mitad de corriente que usa [21] y un $(g_m/I_D)_1 = 27V^{-1}$. Para obtener un ruido equivalente de entrada $V_{ni} =$

Capítulo 2. Preamplificador de bajo ruido

$2\mu V_{rms}$, partiendo del W/L que arrojó el flujo de diseño, se simularon diferentes casos variando el W (en las tablas 2.1 y 2.2 se presentan los casos más destacados⁸). Finalmente se eligió $(W/L)_1 = 8000\mu/1\mu$. En paralelo, para el espejo de Gm1 se tomó $(g_m/I_D)_{E1} = 2,5V^{-1}$ lo que significó un $V_{DSsat} = 590mV$.

El sustrato de los transistores del par de entrada (PMOS) se conectaron a V_{DD} porque es preferible desde el punto de vista del ruido. La conexión a source puede verse como un aumento del n , lo cual baja el g_m y aumenta la S_n , ambos efectos indeseados.

Los ajustes antes descriptos lograron disminuir el NEF de 4,2 que se reporta en [21] a 2,1.

$W/L(\mu m)$	Área(μm^2)	$g_m(\mu S)$	$g_m/I_D(V^{-1})$	$G(V/V)$	$v_{ni}(\mu V_{rms})$	NEF
2000/1	2000	94.0	25.7	288	2.23	2.33
4000/1	4000	98.0	26.7	299	2.11	2.20
8000/1	8000	101.0	27.5	306	2.05	2.14
12000/1	12000	102.5	27.9	309	2.02	2.11

Tabla 2.1: Diferentes valores de W/L para el par de entrada de Gm1 con $f_{low} = 18Hz$

Si se comparan las tablas 2.1 y 2.2 no parece haber grandes diferencias desde el punto de vista del ruido, el ruido térmico está integrado sobre un ancho de banda tan grande que el ruido de Flicker que se introduce entre $f_{low} = 18Hz$ y $f_{low} = 0,1Hz$ no pesa. Harrison reporta el mismo comportamiento en [20].

$W/L(\mu m)$	Área(μm^2)	$g_m(\mu S)$	$g_m/I_D(V^{-1})$	$G(V/V)$	$v_{ni}(\mu V_{rms})$	NEF
4000/1	4000	97.8	26.7	295	2.20	2.30
8000/1	8000	100.8	27.5	306	2.08	2.17

Tabla 2.2: Diferentes valores de W/L para el par de entrada de Gm1 con $f_{low} = 0,09Hz$

Para garantizar que $g_{m7} \gg g_{m6}$ y $g_{m8} \gg g_{m9}$ se fijó que la relación entre ellos α sea igual a 100, es decir: $g_{m7,8}/100 = g_{m6,9}$.

De acuerdo al reparto de ganancia dentro del front-end que se fijó en la sección 1.5 se tomó $G = 50dB$. Para que toda la cadena de filtrado, que se compone de tres etapas pasabanda de primer orden, tenga una frecuencia de caída de $3dB$, la frecuencia de corte superior de cada etapa debe ser mayor a los $5kHz$ requeridos. Por este motivo y debido a que el preamplificador utilizado en forma separada podría ser útil para otras aplicaciones se decidió fijar $f_{high} = 10kHz$. Esto determinó el uso de un $C_L = 5pF$.

Llegar a una frecuencia de corte inferior planteada por las especificaciones (sección 1.4) de $0,1Hz$ sin utilizar un capacitor externo no es muy factible. Mirando la ecuación 2.4 puede concluirse que no hay mucho margen. Por un lado g_{m2} interviene en la ganancia y en el polo de alta, con lo cual modificarlo no es una buena idea.

⁸ v_{ni} surge de la simulación esquemático integrando entre $3nHz$ y $100MHz$. Para el cálculo del NEF se estimó $I_{DD1} = 8,1\mu A$ y $f_{high} = 11kHz$

Se tomaron $g_{m6,9}$ muy chicos (100 veces menor que g_{m1}) y g_{mf} extremadamente chico (sub nS) y utilizando un $C_f = 200pF$ se logró obtener una $f_{low} = 5Hz$ sin utilizar capacitor externo⁹. Si bien es posible que puedan obtenerse valores de g_{mf} más chicos se optó por incluir una llave para habilitar la utilización de un capacitor externo de modo tal que si $C_f = 10nF$ entonces $f_{low} = 0,1Hz$.

Para obtener un g_{mf} cuyo valor está por debajo del nS se utilizó la técnica de división de corriente mediante asociaciones serie-paralelo propuesta en [46]. En el espejo N se pusieron diez transistores en serie en la rama interior y diez transistores en paralelo en la rama de salida, obteniendo un factor de división de corriente $M_{Gmf} = 100$. Siguiendo el planteo de [21], la misma técnica se utilizó con $M_{Gm2} = 9$ en Gm2 para bajar ruido y consumo. En la simulación el factor M_{Gm2} dio razonablemente lo esperado mientras que $M_{Gmf} \cong 70$. Esta diferencia, que sería en principio atribuible al simulador¹⁰, no es preocupante ya que de obtenerse el M_{Gmf} nominal, simplemente se obtendría una frecuencia de corte inferior más chica, efecto que en general va a ser deseado.

Para mejorar el CMRR se utiliza un transistor cascode en la fuente de corriente de Gm1. Para polarizar este transistor se utilizó la técnica propuesta en [47]. Allí se muestra un procedimiento de diseño que permite generar fácilmente la tensión de polarización de modo tal que el transistor del espejo opere en inversión débil y su V_{DS} sea apenas un poco mayor que el V_{DSsat} . Esto se hace mediante un solo diodo, evitando la necesidad de utilizar una fuente de voltaje de continua y eventualmente un pin externo. Si bien este procedimiento resultó muy útil, el diseño realizado no prestó suficiente atención al consumo ni al área, resultando en ocupar un área importante y en aportar un consumo no despreciable¹¹.

En función de las consideraciones realizadas anteriormente, e iterando con simulaciones se obtuvieron los valores de los parámetros necesarios para implementar el preamplificador, los principales se listan en la Tabla 2.3.

Por último, los capacitores integrados son: $C_L = 5pF$ y $C_f = 47pF$.

2.4. Resultados

En esta sección se presentan resultados provenientes de simulaciones. En algún caso se trata de simulaciones del esquemático y en otras del extraído, en cada caso se aclarará a qué corresponden.

⁹En el momento de hacer el layout se terminó implementando un $C_f = 50pF$ dejando el $f_{low} \cong 20Hz$ sin capacitor externo.

¹⁰En otros trabajos en curso dentro del GME se reportó este mismo problema. El origen no está determinado pero estaría vinculado a dificultades que tiene el simulador para trabajar con transistores en serie.

¹¹Este circuito aporta dos ramas que cada una consume $I_{BIASGm1}/10$ lo que representa $1,54\mu A$ y no será considerado en las siguientes secciones como parte del consumo del preamplificador.

Capítulo 2. Preamplificador de bajo ruido

	Gm1	Gm2	Gmf
$(g_m/I_D)_{ParEntrada}$	$27,5V^{-1}$	$9,3V^{-1}$	$17,1V^{-1}$
$(g_m)_{ParEntrada}$	$101\mu S$	$2,7\mu S$	$86nS$
g_m	$100\mu S$	$320nS$	$1,19nS$
I_{D1}	$3,67\mu A$	$291nA$	$5nA$
$(W/L)_{ParEntrada}$	$7776/1,05$	$3,3/6$	$3/42$
M	$1,01$	$8,5$	$72,5$
$(g_m/I_D)_E$	$2,5V^{-1}$	-	-
g_{m6}	$735nS$	-	-
g_{m9}	$710nS$	-	-
g_{m7}	$91\mu S$	-	-
g_{m8}	$83\mu S$	-	-

Tabla 2.3: Principales parámetros del preamplificador (simulación esquemático)

2.4.1. Consumo

En la tabla 2.4 se presenta un desglose del consumo de los OTAs que componen el preamplificador, el consumo total es $8,1\mu A$, menos de la mitad del reportado en [21]. Estos resultados corresponden a la simulación del esquemático.

	Gm1	Gm2	Gmf	Total
$I_{DD}(\mu A)$	7,41	0,66	0,01	8,08

Tabla 2.4: Consumo preamplificador (simulación esquemático)

2.4.2. Respuesta en frecuencia

En la Fig. 2.4 se presentan simulaciones Montecarlo (500 runs Process and Mismatch) de la respuesta en frecuencia del extraído del preamplificador con $C_f = 47pF$ integrado. Los resultados obtenidos son bastante aproximados a lo esperado (ver Tabla 2.5).

	Diseño (Simulación esquemático)	Simulación MC (extraído)
Ganancia G	$50dB$	$49,5dB - 50,0dB$
f_{high}	$11kHz$	$8,9kHz - 9,7kHz$
f_{low}	$18Hz$	$16Hz - 28Hz$

Tabla 2.5: Respuesta en frecuencia del preamplificador con $C_f = 47pF$ integrado (simulación extraído).

En la Fig. 2.5 se presentan simulaciones Montecarlo (500 runs Process and Mismatch) de la respuesta en frecuencia del extraído del preamplificador con $C_f =$

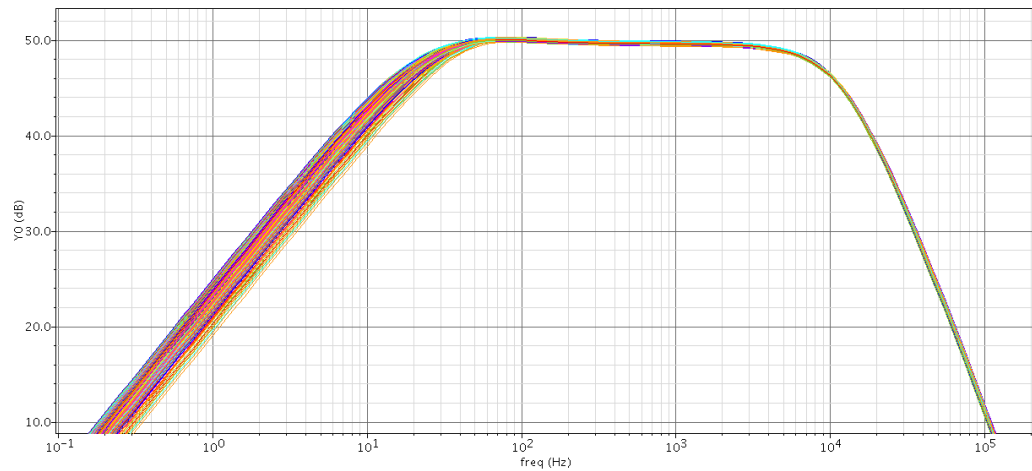


Figura 2.4: Respuesta en frecuencia del preamplificador con $C_f = 47pF$ integrado (simulación extraído).

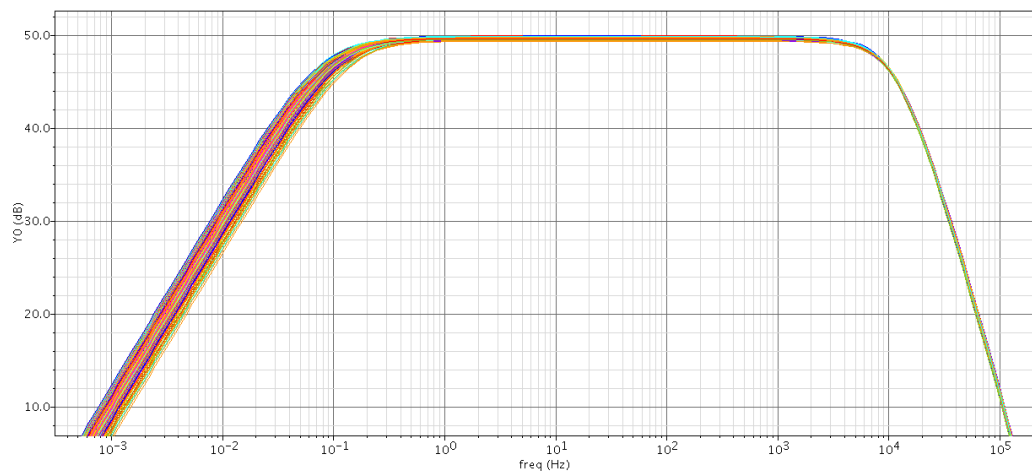


Figura 2.5: Respuesta en frecuencia del preamplificador con $C_f = 10nF$ externo (simulación extraído).

$10nF$ externo. Los resultados obtenidos son bastante aproximados a lo esperado (ver Tabla 2.6).

En ambos casos la caída del preamplificador a altas frecuencias es mayor a $20dB/dec$, es aproximadamente $36dB/dec$.

2.4.3. CMRR

En la figura 2.6 se presentan simulaciones Montecarlo (500 runs Process and Mismatch) de la ganancia en modo común del extraído del preamplificador con $C_f = 47pF$ interno. Se puede apreciar una gran dispersión en los valores, el peor caso se da en $10kHz$ y es $-16,3dB$, en $5kHz$ da $-18,5dB$, esto corresponde a un $CMRR$ de $66dB$ y $68dB$ respectivamente.

Capítulo 2. Preamplificador de bajo ruido

	Diseño (Simulación esquemático)	Simulación MC (extraído)
Ganancia G	$50dB$	$49,3dB - 49,9dB$
f_{high}	$11kHz$	$9,2kHz - 9,8kHz$
f_{low}	$0,09Hz$	$0,07Hz - 0,14Hz$

Tabla 2.6: Respuesta en frecuencia del preamplificador con $C_f = 10nF$ externo (simulación extraído).

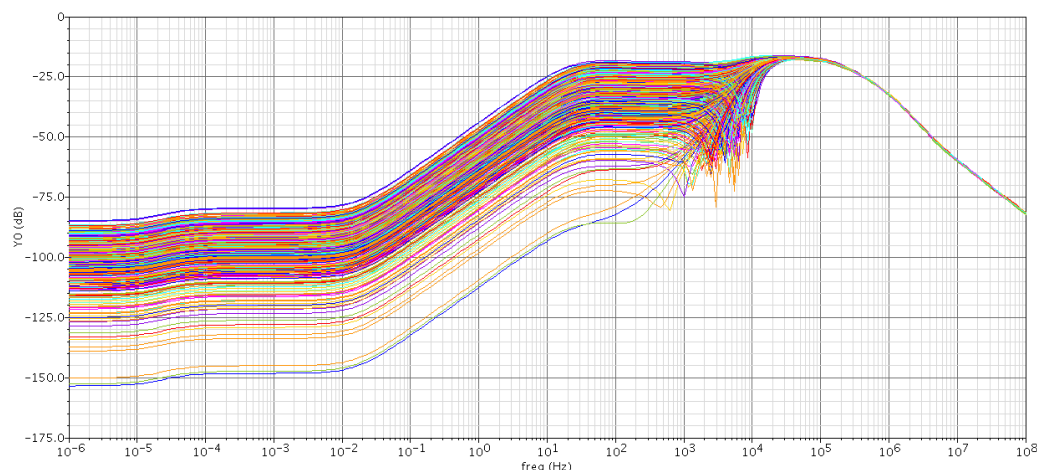


Figura 2.6: Ganancia en Modo Común del preamplificador con $C_f = 47p$ interno (simulación extraído).

Para $C_f = 10nF$ externo se obtienen los mismos valores: el peor caso se da en $10kHz$ y es $-16,7dB$, en $5kHz$ da $-19,2dB$, esto corresponde a un $CMRR$ de $66dB$ y $69dB$ respectivamente.

Dado que la Fig. 2.6 no es fácil de interpretar, se volvió a hacer una simulación Montecarlo (1000 runs Process and Mismatch) de la ganancia en modo común (.AC) del extraído del preamplificador con $C_f = 47pF$ interno (ver Fig. 2.7). El valor $CMRR_{p-90}$ presentado en la Tabla 2.7 indica que el 90% de los chips que se fabriquen tendrán un $CMRR > 73dB$. Este criterio se adopta en lugar del clásico de 3σ porque el histograma de la ganancia en modo común no resultó ser gaussiano. El valor $CMRR_{medio}$ toma la media en el histograma de la ganancia diferencial y de la ganancia en modo común.

Se realizó el mismo histograma presentado en la Fig. 2.7 a $50Hz$ arrojando resultados muy similares.

2.4. Resultados

	Esperado	Resultados
Ganancia en modo común (peor caso)	–	$-16,3dB$
Ganancia en modo común (p-90)	–	$-23,5dB$
Ganancia en modo común (media)	–	$-33,1dB$
Ganancia diferencial (media)	$50dB$	$49,7dB$
$CMRR_{Peor\ caso}$	$\geq 80dB$	$66dB$
$CMRR_{p-90}$	$\geq 80dB$	$73dB$
$CMRR_{medio}$	$\geq 80dB$	$83dB$

Tabla 2.7: Resultados de $CMRR$ del preamplificador en $500Hz$.

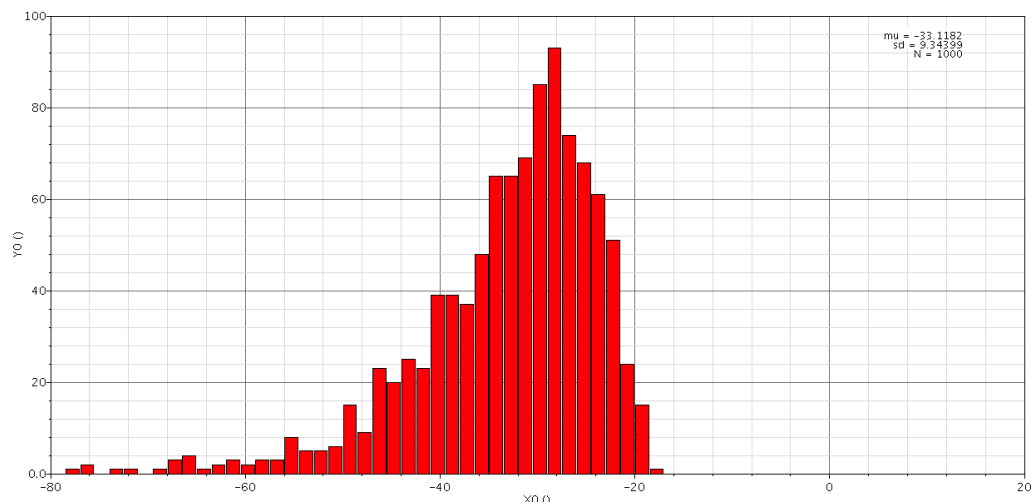


Figura 2.7: Histograma ganancia en Modo Común a $500Hz$ del preamplificador con $C_f = 47p$ interno (simulación extraído).

2.4.4. Ruido

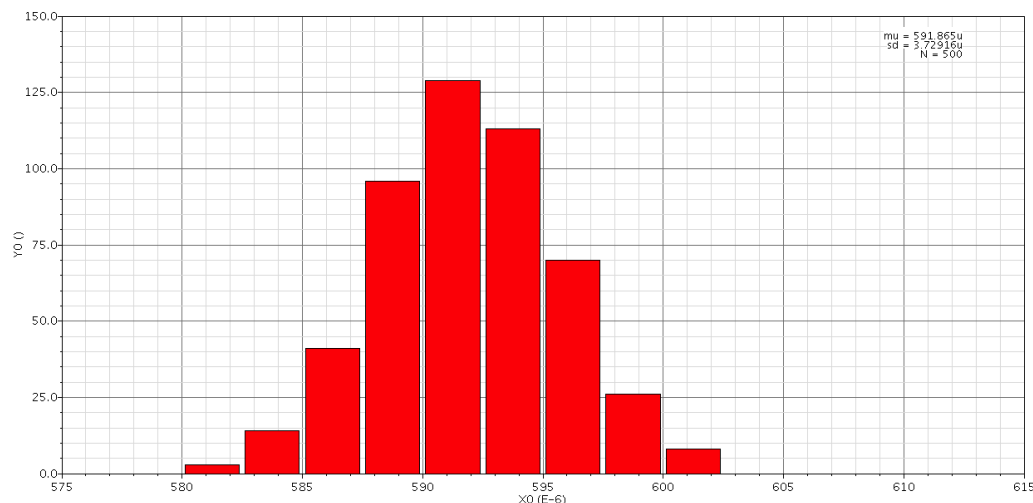


Figura 2.8: Ruido preamplificador con $C_f = 10nF$ externo (simulación extraído).

Los valores de v_{ni} y NEF de las tablas 2.1 y 2.2 corresponden a la simulación del esquemático del preamplificador. Allí puede verse que el valor esperado en el caso de $C_f = 10nF$ externo es $v_{ni} = 2,08\mu V_{rms}$ y $NEF = 2,17$ y en el caso de $C_f = 47pF$ integrado es $v_{ni} = 2,05\mu V_{rms}$ y $NEF = 2,14$.

En la figura 2.8 se presenta simulaciones Montecarlo (500 runs Process and Mismatch) del extraído con $C_f = 10nF$ externo, se observa que la media es $V_{no} = 592\mu V_{rms}$ y su desviación estándar es $3,7\mu V_{rms}$. Entonces, en un caso típico $v_{ni} = 1,96\mu V_{rms}$ y por tanto $NEF = 2,19$. La misma simulación para $C_f = 47pF$ integrado, se obtiene que la media es $V_{no} = 581\mu V_{rms}$ y su desviación estándar es $3,6\mu V_{rms}$. Entonces, en un caso típico $v_{ni} = 1,92\mu V_{rms}$ y por tanto $NEF = 2,15$.

Las pequeñas diferencias entre la simulación del esquemático y del extraído son coherentes con la diferencia en la frecuencia de corte superior. Si se comparan estos valores con lo esperado teóricamente en la ecuación 2.11 $v_{ni}^{teo} = 1,98\mu V_{rms}$ ajustan demasiado bien. Esto se puede deber a que, por un lado se sobre-estima despreciando aportes de ruido de segundo orden, y se sub-estima porque la caída del preamplificador en alta frecuencia es mayor a $20dB/dec$.

2.4.5. Rango lineal de entrada

Se hizo una simulación del transitorio paramétrico en la amplitud de la señal de entrada (sinusoidal de $1kHz$), tomando 30 pasos equiespaciados entre $0V$ y $1,5mV$ (ver figura 2.9). La simulación corresponde al esquemático del circuito con $C_f = 47pF$ integrado, el tiempo de *arranque* del circuito es de aproximadamente $500ms$.

Se calculó la THD entre $800ms$ y $950ms$ considerando 8192 muestras y la frecuencia fundamental $1kHz$. En la tabla 2.8 se presenta el valor de la THD para algunos valores representativos.

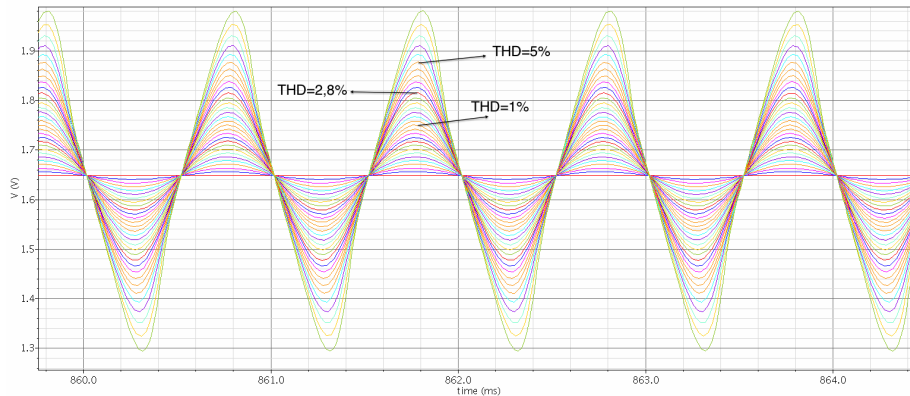


Figura 2.9: Rango lineal de entrada del preamplificador

V_{in}	V_{out}	THD
$0,65mV_{pp}$	$200mV_{pp}$	1.07 %
$1,00mV_{pp}$	$330mV_{pp}$	2.76 %
$1,20mV_{pp}$	$430mV_{pp}$	5.00 %

Tabla 2.8: THD del preamplificador

2.4.6. Bloqueo de continua

Si se genera un desnivel en continua del par de entrada de valor V_{OS} ¹² se puede ver que el circuito bloquea la continua quedando el voltaje de continua de la salida V_{outDC} en $1,651V$.

El circuito opera correctamente hasta valores de $V_{OS} = 50mV$, a partir de ese valor se constata una penalización importante en la ganancia. En la Tabla 2.9 se presenta cómo algunos parámetros relevantes del circuito que se modifican con V_{OS} . Por otra parte, se constata que el mecanismo de bloqueo de continua no afecta significativamente el funcionamiento lineal del filtro. La THD está calculada con una señal de entrada sinusoidal de amplitud de $1mV_{pp}$.

Para $V_{OS} \geq 0V$ la corriente que compensa ese desbalance viene fundamentalmente de I_{D6} , mientras que para $V_{OS} < 0V$ viene de I_{D9} . En la columna I_{D9}/I_{D6} de 2.9 se muestra el valor de la corriente que está actuando. Esta columna pone de manifiesto el gasto en corriente que se invierte en compensar V_{OS} .

2.4.7. Offset

En la Fig. 2.10 se presenta una simulación Montecarlo (500 runs Process and Mismatch) del voltaje de continua de la salida del preamplificador. La figura mues-

¹²Nomenclatura: a lo largo de todo el presente texto se usará a V_{OS} como un desbalance en el nivel de continua en la entrada. Por otra parte, se utilizará V_{offset} para referirse la tensión de offset de los OTAs (tanto offset sistemático como debido a desapareo o diferencias en el proceso). Salvo que se indique lo contrario, V_{offset} referirá al offset en la salida. Observar que V_{OS} y V_{offset} no son lo mismo.

Capítulo 2. Preamplificador de bajo ruido

V_{OS}	V_{9G}	$I_{D8} = I_{D7}$	$I_{D9} \text{ o } I_{D6}$	Ganancia	THD
$-20mV$	$1,38V$	$2,68\mu A$	$1,97\mu A$	$46,6dB$	$0,96\%$
$-10mV$	$1,45V$	$3,17\mu A$	$1,00\mu A$	$47,9dB$	$1,36\%$
$0mV$	$1,65V$	$3,64\mu A$	$0,03\mu A$	$49,7dB$	$2,77\%$
$5mV$	$1,78V$	$3,42\mu A$	$0,50\mu A$	$48,7dB$	$1,51\%$
$10mV$	$1,82V$	$3,17\mu A$	$0,99\mu A$	$47,5dB$	$1,04\%$
$20mV$	$1,87V$	$2,69\mu A$	$1,94\mu A$	$45,8dB$	$0,65\%$
$50mV$	$1,99V$	$1,49\mu A$	$4,35\mu A$	$41,4dB$	$0,56\%$
$100mV$	$2,06V$	$0,43\mu A$	$6,46\mu A$	$31,7dB$	$0,45\%$

Tabla 2.9: Respuesta del preamplificador ante un desnivel de continua en la entrada

tra que la media es $1,652V$ y la desviación estándar $\sigma = 4mV$. Por lo tanto se tiene un offset sistemático de $2mV$ y tomando entonces el offset en la salida (debido al desapareo y diferencias en el proceso de fabricación) como $\pm 3\sigma = \pm 12mV$ se tiene que $V_{Offset} = 14mV$. Los resultados son independientes del capacitor C_f que se utilice.

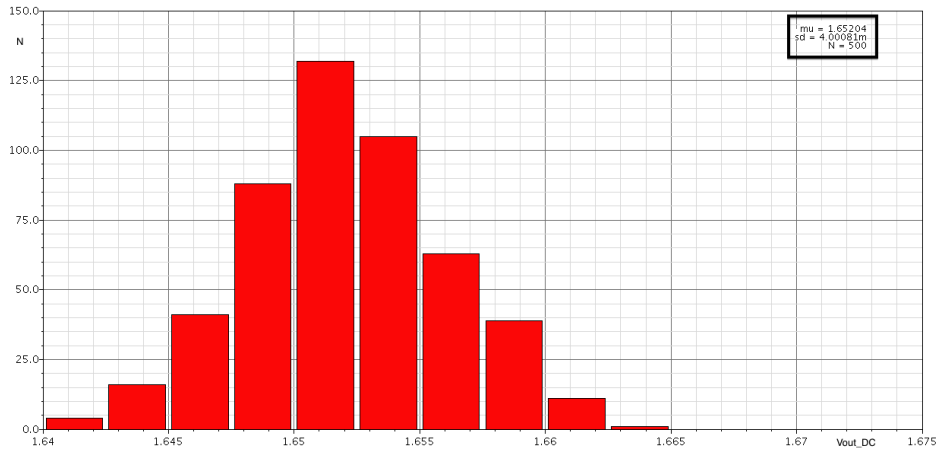


Figura 2.10: Offset a la salida del preamplificador

2.5. Comparación con otros preamplificadores

En la Tabla 2.10 se presentan las características más relevantes de los preamplificadores reseñados en la sección 2.1 para compararlos con el diseñado en este capítulo. Para facilitar la comparación se presenta la Fig. 2.11 donde se ha graficado el consumo contra v_{ni}/\sqrt{BW} . En rojo están los preamplificadores que no llegan a $0,1Hz$ y en azul los que sí. En negro está el nuestro.

Lo datos muestran que el preamplificador está a nivel de otros preamplificadores neurales en el estado del arte, e incluso en alguna dimensión es mejor. Es la mejor opción desde el punto de vista consumo y ruido para barrer el rango

2.5. Comparación con otros preamplificadores

$0,1Hz - 10kHz$. También es una buena opción en términos ruido v_{ni} . Hay opciones que consumen menos pero no llegan a $0,1Hz$. En términos de NEF solamente es superado por [43] y [45] (gracias a que filtran con mayor orden en el preamplificador).

	[20]	[44]	[17]	[41]	[22]	[45]	[43]	[21]	Nosotros
Ganancia (dB)	39,5	46,7	40	42,5	40,9	40	47,5	48	49,6
$f_{high}(kHz)$	7,2	10	10,5	6,7	5,3	10	7,2	8	9,6
$f_{low}(Hz)$	0,025	200	0,05	22	45	5	217	250	0,1
Consumo (μA)	16	22,4	12,1	0,53	2,7	1,0	1,81	16,5	8,1
Ruido $v_{ni}(\mu V_{rms})$	2,2	3,1	2,2	20,6	3,06	5,5	2,84	2,4	1,96
NEF	3,99	5,65	2,88	7,06	2,66	2,12	1,76	4,20	2,19
$CMRR_{P_{eorcaso}}$	42	-	-	-	-	-	-	-	66
$CMRR_{medido/medio}$	83	110	80	-	66	-	-	107	83
THD 1% (mV_{pp})	16		1	-	7,3	0,4	> 2	-	0,65

Tabla 2.10: Comparación del preamplificador diseñado.

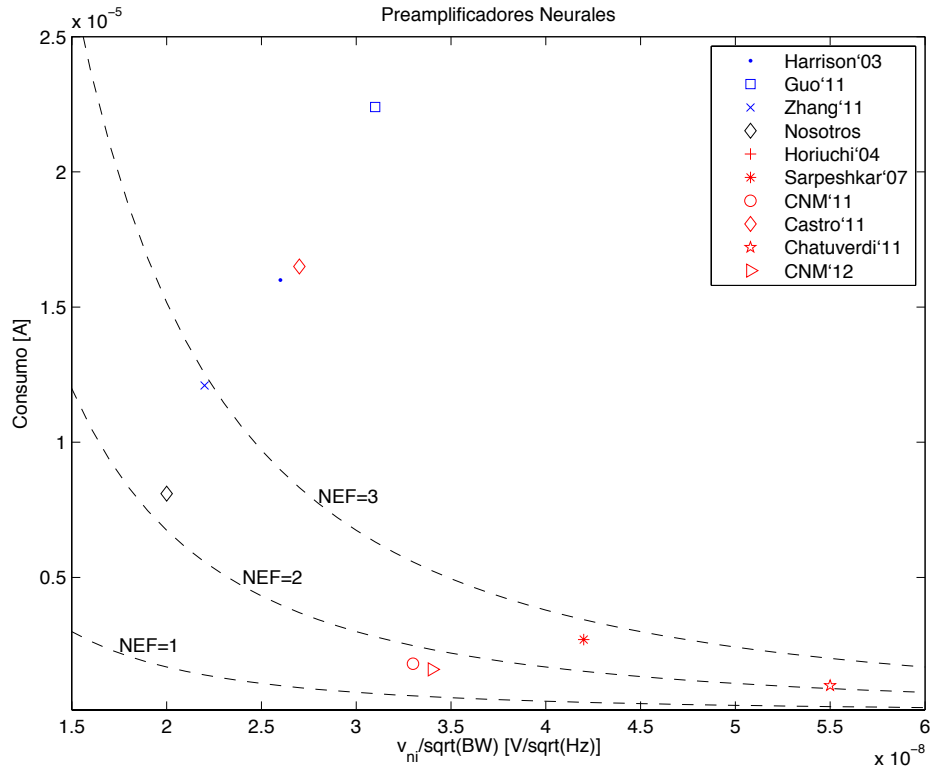


Figura 2.11: Comparación del preamplificador diseñado.

2.6. Fabricación

En enero de 2013 se fabricó una primer versión del preamplificador que no funcionó debido a un error en el conexionado a los pads. En mayo de 2013 se fabricó una segunda versión que está prevista llegue a Montevideo en agosto de 2013. Por este motivo, el testing del preamplificador no pudo ser recogido en la presente tesis. Los circuitos fueron fabricados en el proceso C5 $0,50\mu$ de ON Semiconductor a través de MOSIS, en la Fig. 2.12 se presenta el layout fabricado en mayo de 2013, el área total ocupada es de $0,67mm^2$.

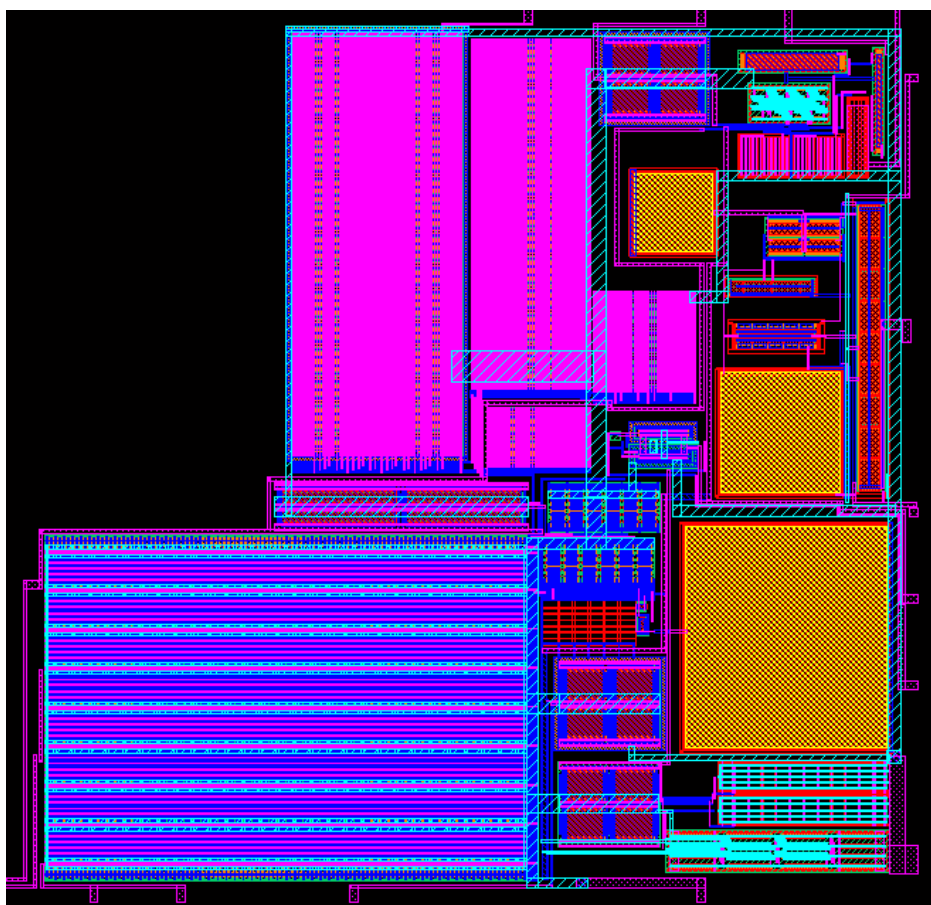


Figura 2.12: Layout de la segunda versión del preamplificador

2.7. Discusión y conclusiones

El primer resultado importante de este capítulo es haber derivado las ecuaciones de la arquitectura propuesta que permiten diseñar fácilmente a partir de las especificaciones (se desarrolló la expresión de la transferencia, las ecuaciones de la ganancia y los polos, la condición para la multiplicación, entre otras). En la Tabla 2.11 se resumen los principales resultados. Allí puede verse que se cumple

2.7. Discusión y conclusiones

con todos los requerimientos a menos del CMRR. El CMRR está bien aunque se esperaba que fuese más alto. El ruido y el NEF dan muy bien.

En segundo lugar, se destaca que se propusieron modificaciones que permitieron bajar el consumo, bajar el ruido y extender el ancho de banda. Estos cambios, como se vio en la sección 2.5, lograron que el preamplificador esté a nivel de otros preamplificadores neurales en el estado del arte, e incluso en alguna dimensión sea mejor. En efecto, de mantenerse las características simuladas en el circuito fabricado, superaría a todos los circuitos reportados a la fecha, desde el punto de vista del consumo y el ruido para barrer el rango $0,1Hz - 10kHz$. También es una muy buena opción en términos de ruido equivalente en la entrada v_{ni} . Si bien se encuentran opciones que consumen menos, éstas no llegan a $0,1Hz$.

	Especificaciones	Resultados (C_f int)	Resultados (C_f ext)
Ganancia G	$50dB$	$49,5dB - 50,0dB$	$49,3dB - 49,9dB$
f_{high}	$10kHz$	$8,9kHz - 9,7kHz$	$9,2kHz - 9,8kHz$
f_{low}	$0,1Hz$	$16Hz - 28Hz$	$0,07Hz - 1,43Hz$
Consumo I_{DD}	$\leq 16\mu A$	$8,1\mu A$	$8,1\mu A$
Ruido v_{ni}	$\leq 2\mu V_{rms}$	$1,92\mu V_{rms}$	$1,96\mu V_{rms}$
CMRR	$\geq 80dB$	$83dB$	$83dB$
Output Swing (mV_{pp})	$300 @ THD < 5\%$	$330 @ THD = 2,8\%$	$330 @ THD = 2,8\%$
Offset Salida	$\leq 20mV$	$14mV$	$14mV$
Bloqueo continua V_{OS}	$\geq 50mV$	$50mV$	$50mV$

Tabla 2.11: Resumen de resultados del preamplificador

Una posible desventaja que presenta el preamplificador implementado es el nivel de continua en la entrada que es capaz de bloquear ($50mV$ con una penalización en la ganancia de $8dB$). Parte de la causa de esto nace del criterio de diseño que estableció que $g_{m6} = g_{m7}/100$ y $g_{m9} = g_{m8}/100$ (para minimizar el impacto en el consumo y en la ganancia que tiene agregar el bloque M6-M9). Este tema será retomado varias veces en los sucesivos capítulos.

Se constata una variación en f_{low} apreciable (casi un factor 2). Esto se debe fundamentalmente a la variación que sufren g_{m6} y g_{m9} . La dispersión de ellos por separado es importante (varían más de un orden de magnitud), pero la dispersión de la suma $g_{m6} + g_{m9}$ es menor (que es lo que interviene en la ecuación del polo de baja frecuencia, ver ecuación 2.4).

En la sección 2.3.2 se observó que el aporte del ruido de Flicker del preamplificador no era apreciable incluso llegando a una frecuencia de $0,1Hz$. El origen de esto, es que el preamplificador está integrando ruido térmico en un ancho de banda muy grande ($10kHz$), por lo tanto lo que sucede es que el ruido térmico es mucho mayor al ruido de Flicker. En aplicaciones que necesiten bajar la frecuencia de corte superior (por ejemplo $100Hz$ en EEG), y por tanto bajar mucho el aporte de ruido térmico, esto no seguirá siendo cierto, en este escenario, si bien el ruido equivalente a la entrada v_{ni} del preamplificador bajará mucho, el NEF de preamplificador empeorará. Si bien este escenario no fue estudiado a fondo, existe margen

Capítulo 2. Preamplificador de bajo ruido

dentro del preamplificador para mejorar su performance, por ejemplo aumentando el W y el L del espejo NMOS de Gm1 (M4 y M5 en Fig. 2.3) manteniendo el W/L para no modificar el nivel de inversión.

Aplicar la técnica de [47] para la polarización del transistor cascode de la fuente de corriente de Gm1 resultó muy útil. Permitió polarizar el espejo en inversión débil (lo que posibilitó tener un mayor output swing en la salida) sin la preocupación de utilizar una fuente de tensión continua (y por tanto un pin externo). En contrapartida representó una inversión en consumo y en área que seguramente puedan bajarse, en futuras implementaciones deberían evaluarse estos puntos. Finalmente, sería interesante evaluar a futuro la aplicación de la mencionada técnica en los transistores cascode de la salida de Gm2 y de esa manera ahorrar los dos pines que hoy se usan para ello.

Capítulo 3

Filtro programable

3.1. Especificaciones

Las especificaciones del filtro programable se establecen a partir de las especificaciones generales del sistema (ver sección 1.4) y de las características del preamplificador presentado en el capítulo 2, éstas últimas son:

- Frecuencia de corte superior $f_{high} = 10kHz$.
- Frecuencia de corte inferior $f_{low} < 0,1 - 20Hz$ (dependiendo si C_f es integrado o no).
- Ganancia en banda pasante $G = 300V/V$.
- Consumo $I_{DD} = 8\mu A$.
- Filtrado a $-20dB/dec$ a baja y alta frecuencia.
- Ruido equivalente de entrada $v_{ni} = 2\mu V_{rms}$
- Offset a la salida $V_{Offset} = 14mV$

Además, si el preamplificador debe manejar señales de entrada entre $10\mu V_{pp}$ y $1mV_{pp}$, a la entrada del filtro programable esto representa una variación entre $3mV_{pp}$ y $300mV_{pp}$. El filtro tendrá una ganancia programable entre 1 y 100 de modo tal que a su salida se tenga como máximo $300mV_{pp}$.

Desde el punto de vista del consumo se requiere que el filtro programable consuma mucho menos que el preamplificador, lo ideal sería $I_{DD} = 1\mu A$.

En relación al ruido, se necesita que el aporte del filtro programable sea mucho menor al que introduce el preamplificador. Si el ruido equivalente a la entrada del preamplificador es $2\mu V_{rms}$, a su salida el ruido es $v_{no}^{Preamp} = 600\mu V_{rms}$. Si se impone que el ruido equivalente a la entrada del filtro sea menor que un 10% más que el ruido que aporta el preamplificador, se tiene: $v_{ni}^{Eq} = \sqrt{v_{no}^{Preamp}^2 + v_{ni}^{Filtro}^2} < 1,1v_{no}^{Preamp}$, con lo cual el ruido equivalente de entrada del filtro deberá ser $v_{ni}^{Filtro} < 0,45v_{no}^{Preamp} = 270\mu V_{rms}$.

Capítulo 3. Filtro programable

El ancho de banda ideal buscado es $0,1Hz - 10kHz$, llegar a $f_{low} = 0,1Hz$ sin condensador externo no es muy factible, con condensador integrado se espera llegar lo más abajo posible de $20Hz$ para que sea el preamplificador quien fije el polo de baja frecuencia. Por otra parte, una $f_{high} = 5kHz$ sería aceptable.

Para especificar el máximo valor de continua en la entrada que el circuito es capaz de eliminar (se llamará V_{OS} a este valor), se debe considerar el valor del offset en la salida del preamplificador de la etapa anterior ($14mV$ con 3σ) sumado al offset referido a la entrada del filtro programable. Si estimamos este valor en $20mV$, asumiendo que las distribuciones son gaussianas, se llega a que $V_{OS} \geq \sqrt{(14mV)^2 + (20mV)^2} = 24mV$.

Por último, sería deseable para no exigir a la etapa siguiente, que el offset a la salida (V_{Offset}) sea menor que $20mV$.

En función de las características del preamplificador y otras restricciones del sistema antes descritas se generan las siguientes especificaciones para el filtro:

- Ganancia G programable en banda pasante entre $1V/V$ y $100V/V$.
- Frecuencia de corte superior f_{high} programable entre $100Hz$ y $5kHz$.
- Frecuencia de corte inferior $f_{low} = 5Hz$ con condensador integrado y $f_{low} = 0,1Hz$ con condensador externo.
- Filtrado a $-20dB/dec$ a baja y alta frecuencia.
- Consumo $I_{DD} = 1\mu A$
- Ruido equivalente de entrada $v_{ni,rms} < 270\mu V_{rms}$
- Output Swing = $300mV_{pp}$ con $THD < 5\%$
- Bloqueo de continua $V_{OS} \geq 24mV$
- Offset a la salida $V_{Offset} \leq 20mV$

3.2. Diseño

En primer lugar se diseñó un filtro *Base* que cumple con las mayores exigencias de ganancia ($G = 100$) y ancho de banda ($f_{high} = 5kHz$) y luego se le aplicaron las técnicas descritas en la sección 3.2.2 para lograr su programación.

Para diseñar el filtro Base se utilizó la arquitectura reportada en [21] ya aplicada en el preamplificador (para una referencia rápida sobre detalles de la misma puede consultarse el apéndice C).

En la figura 3.1 se presenta el diagrama esquemático de la arquitectura propuesta. Los bloques G_{m2} y G_{mf} son OTAs simétricos cuya respectiva transconductancia es g_{m2} y g_{mf} . G_{m1} es un OTA simétrico de transconductancia g_{m1} , al cual se le agregó un bloque de eliminación de continua *local* formado por los transistores M6, M7, M8 y M9 (ver Fig. 3.2).

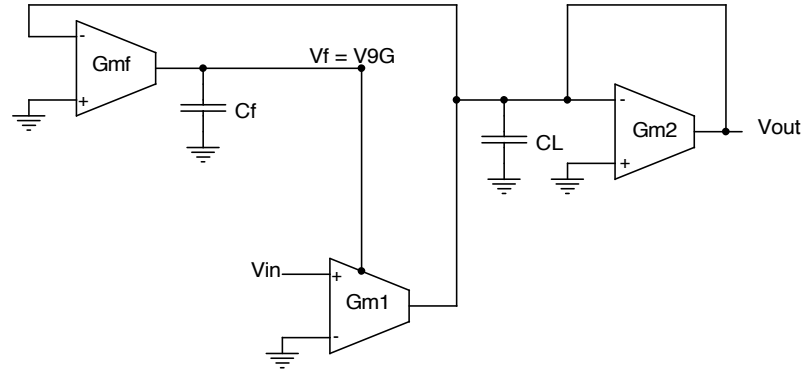


Figura 3.1: Arquitectura del filtro Base.

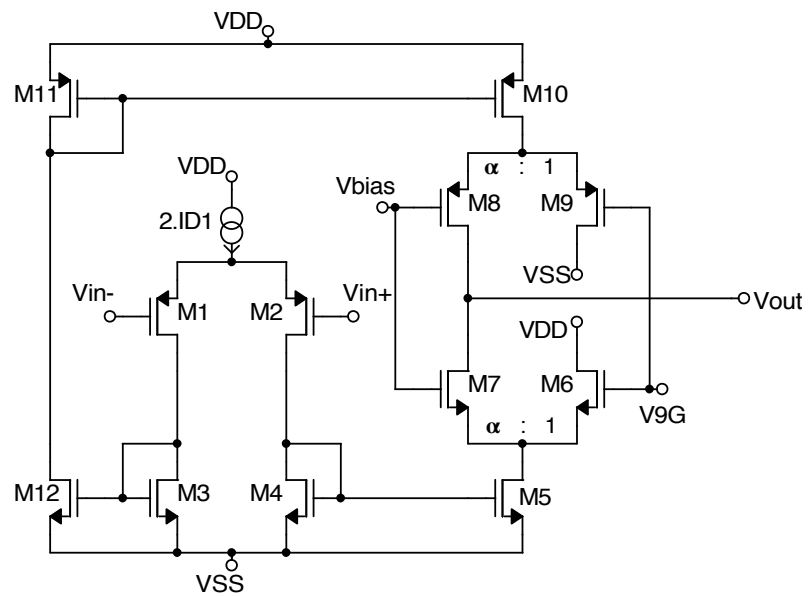


Figura 3.2: Detalle a nivel de transistor del Gm1 del filtro Base.

En la Fig. 3.1 no se muestran las fuentes de corrientes que polarizan los OTAS, éstas serían: $I_{BIASGm1} = 2I_{D1}$, $I_{BIASGm2} = 2I_{D2}$ e $I_{BIASGmf} = 2I_{Df}$. La ecuaciones del filtro son exactamente las mismas que las del preamplificador presentadas en la sección 2.2.1:

$$f_{high} = \frac{g_{m2}}{2\pi C_L} \quad (2.2)$$

$$G = \frac{g_{m1}}{g_{m2}} \quad (2.3)$$

$$f_{low} = \frac{g_{m6} + g_{m9}}{g_{m2}} \frac{g_{mf}}{2\pi C_f} \quad (2.4)$$

Capítulo 3. Filtro programable

Se seguirán los mismos criterios de notación utilizados en el capítulo 2. Por un lado g_{m1} , g_{m2} y g_{mf} refieren a la transconductancia efectiva de los bloques Gm1, Gm2 y Gmf. Por otro lado, y únicamente para el bloque M6-M9, g_{m6} , g_{m7} , g_{m8} y g_{m9} refieren a la transconductancia de M6, M7, M8 y M9. Asimismo, más allá que el contexto no debería dar a confusiones, cuando se escribe $(g_m/I_D)_{ab}$, b puede ser 1, 2 o f y corresponde respectivamente a Gm1, Gm2 o Gmf. Si a se omite se refiere a los transistores del par de entrada, si es una E corresponde a los transistores que funcionan como espejos y si es C a los cascos.

3.2.1. Flujo de diseño filtro Base

Considerando que la capacidad del nodo de salida tiene una cota inferior para que su valor no dependa de las capacidades parásitas ($C_{Lmin} = 2pF$)¹ y que la frecuencia de corte superior es un requerimiento ($f_{high} = 5kHz$), el valor de g_{m2} queda determinado por la ecuación 2.2.

Fijado g_{m2} , la ganancia esperada $G = 100V/V$ determina g_{m1} a través de la ecuación 2.3.

Para minimizar el ruido, $(g_m/I_D)_1$ debe ser máximo y $(g_m/I_D)_2$ debe ser mínimo. Complementariamente, que los transistores de los pares de entrada de Gm1 y Gm2 se polaricen en inversión fuerte es bueno por dos razones: para el rango lineal (todos los OTAs necesitan manejar señales de hasta $300mV_{pp}$ en su entrada) y para la programación. En efecto, como se verá en la sección 3.2.2, parte de la programación que se va realizar es bajando las corrientes I_{D1} e I_{D2} , llevando a estos transistores hacia inversión débil, por tanto, para tener mayor margen de programación conviene que trabajen en inversión fuerte. Finalmente, en inversión débil es dónde se registrará menos consumo. Balanceando los compromisos antes planteados se determina $(g_m/I_D)_1 = 10V^{-1}$ y $(g_m/I_D)_2 = 5V^{-1}$, y por tanto quedan determinadas I_{D1} e I_{D2} .

A partir de este punto, aplican los mismos criterios de diseño planteados para el preamplificador en la sección 2.3.1.

Los transistores cascos de Gm2 ($(g_m/I_D)_{C2}$) se polarizan en inversión débil para tener un pequeño V_{DSsat} y maximizar el output swing. Los transistores cascos de Gm1 (M6-M9) se polarizan en inversión fuerte ($(g_m/I_D)_{C1} = 5V^{-1}$) para obtener un valor tan bajo como sea posible del polo de baja frecuencia (la corriente está dada por la polarización del par de entrada, y según la ecuación 2.4 cuanto más chicos sean $g_{m6,9}$ más chico será el polo). Asimismo, para minimizar el impacto en el consumo y en la ganancia que tiene agregar el bloque M6-M9 y para bajar aún más el polo de baja frecuencia se impone que $\alpha = 10$, esto es: $g_{m7,8} \cong 10g_{m6,9}$.

g_{m2} , g_{m6} y g_{m9} como se mencionó anteriormente están determinados y C_f está acotado por el máximo valor que pueda conseguirse con un área razonable ($C_f = 200 - 300pF$). Entonces, dada una especificación de $f_{low} = 5Hz$ a través de la ecuación 2.4, el valor g_{mf} queda determinado. Para tener una f_{low} lo más baja posible se necesita tener un valor g_{mf} lo más pequeño posible, lo cual implica un

¹Se verá más adelante que las etapas de entrada Gm2 y Gmf tienen transistores largos ($L > 200\mu m$), por lo tanto presentan una C_{gs} relativamente alta.

W/L chico. Por este motivo y para tener mejor rango lineal de entrada es preferible polarizar la etapa de entrada de Gmf en inversión fuerte. Por otra parte, llevar a inversión fuerte esta etapa puede devenir en transistores excesivamente largos con valores de C_{gs} igualmente altos. Entonces, para mantener acotado el tamaño de estos transistores puede convenir polarizar en inversión moderada o débil. Desde el punto de vista del consumo esto es mejor, aunque las corrientes involucradas son tan pequeñas que este argumento no pesa. En función de estos compromisos se define que $(g_m/I_D)_f = 25V^{-1}$ (que implica un $L \cong 200\mu m$), y por tanto queda determinado I_{Df} .

En la sección 2.2.4 se muestra que desde el punto de vista del ruido conviene polarizar los espejos en inversión fuerte, por otra parte esto puede llevar a tener un V_{DSSat} alto. A modo de compromiso se fijó $(g_m/I_D)_{E1} = 10V^{-1}$ y $(g_m/I_D)_{E2} = 15V^{-1}$.

3.2.2. Programabilidad

Se necesita modificar la ganancia entre 1 y 100 y la frecuencia de corte superior f_{high} entre $100Hz$ y $5kHz$. Con el objetivo de tener una solución rápida y sencilla de implementar, se optó por combinar tres técnicas: cambiar la relación de copia en los espejos de salida de Gm1, dividir un condensador en varios más pequeños en paralelo y configurar la cantidad que pueden conectarse, y modificar la corriente de polarización de los OTAs.

Para modificar la ganancia se puede actuar sobre g_{m1} o g_{m2} . Modificar g_{m2} afecta la ganancia pero también afecta la frecuencia de corte inferior y la frecuencia de corte superior. Por tanto, es preferible actuar sobre g_{m1} que actúa sobre la ganancia y sobre la frecuencia de corte inferior² (a través de g_{m6} y g_{m9}). Mediante una llave se cambia la relación de copia del espejo de salida de Gm1 lo que permite realizar una sintonía *gruesa*. Para realizar una sintonía *fina* se modifica $I_{BIASGm1}$.

Para modificar f_{high} se puede actuar sobre C_L o g_{m2} . Modificar g_{m2} tiene los inconvenientes mencionados en el párrafo anterior, y como además alcanza con tener cambios discretos se optó por pensar en una solución que utilice varios condensadores que cambiando su conexionado pueda resultar en diferentes valores de C_L .

Al utilizar C_L como parámetro de programación, debe considerarse dentro de este valor la capacidad de entrada que tiene la etapa siguiente (que se estima podrá variar entre $1pF$ y $2pF$).

3.2.3. Implementación

El circuito se implementó con un voltaje de alimentación nominal $V_{DD} = 3,3V$ y tomando $C_f = 300pF$.

En función de las consideraciones realizadas en las secciones 3.2.1 y 3.2.2 se obtienen los valores de los parámetros necesarios para implementar el filtro Base, los principales se listan en la Tabla 3.1.

²Este cambio podría compensarse fácilmente, si hubiera interés, aumentando g_{mf} .

Capítulo 3. Filtro programable

	Gm1	Gm2	Gmf
$(g_m/I_D)_{ParEntrada}$	$10V^{-1}$	$5V^{-1}$	$25V^{-1}$
g_m	$6,3\mu S$	$63nS$	$1,9nS$
I_D	$630nA$	$12,5nA$	$75pA$
I_{DD}	$2,5\mu A$	$50nA$	$0,3nA$
$(W/L)_{ParEntrada}(\mu m)$	2,1/1,2	1,5/213	1,5/217
$g_{m6} = g_{m9}$	$315nS$	-	-

Tabla 3.1: Diseño filtro Base

Se fijaron los siguiente valores discretos de C_L : $1,6pF$, $3,3pF$, $10pF$, $20pF$, $33,3pF$ y $100pF$; que respectivamente fijan f_{high} en: $5kHz$, $3kHz$, $1kHz$, $500Hz$, $300Hz$ y $100Hz$.

Para la sintonía *gruesa* de la ganancia, se aumenta por un factor $E = 10$ ó $E = 100$ el L del transistor M5 y M10 (ver Fig. 3.2) para disminuir respectivamente en un factor 10 ó 100 el g_{m1} . Si $E = 1$ la relación de copia es 1. La sintonía *fin*a se logra modificando $I_{BIASG_{m1}}$. De acuerdo a simulaciones realizadas para este trabajo, bajando $I_{BIASG_{m1}}$ se puede bajar g_{m1} en un factor de 5 sin alterar significativamente el funcionamiento del circuito.

3.3. Resultados

En esta sección se presentan resultados provenientes de las simulaciones del esquemático (no se implementó layout de este circuito).

3.3.1. Filtro Base

Punto de funcionamiento y consumo

	Diseño	Resultados
$(g_m/I_D)_1$	$10V^{-1}$	$12V^{-1}$
g_{m1}	$6,3\mu S$	$7,6\mu S$
I_{D1}	$0,63\mu A$	$0,63\mu A$
I_{DD1}	$2,52\mu A$	$2,52\mu A$
g_{m6}	$0,31\mu S$	$0,18\mu S$
g_{m7}	$3,14\mu S$	$2,82\mu S$
g_{m8}	$3,14\mu S$	$3,39\mu S$
g_{m9}	$0,31\mu S$	$0,09\mu S$

Tabla 3.2: Punto de operación y parámetros de pequeña señal del transconductor Gm1 del filtro Base.

En la Tabla 3.2 se presentan resultados de la simulación del punto de operación de Gm1 y los principales parámetros de pequeña señal del filtro Base. El valor de

3.3. Resultados

$(g_m/I_D)_1$ resultó un poco más alta lo que redundó en un g_{m1} un poco más alto. Los valores de g_{m6} y g_{M9} se apartan significativamente del valor diseñado, pero es razonable ya que la corriente por ellos es la que menos se controla (depende del offset sistemático y más en general de la continua que debe bloquearse). Para el resto de los parámetros se obtienen los valores esperados.

En la Tablas 3.3 y 3.4 se presentan resultados de la simulación del punto de operación de Gm2 y Gmf y los principales parámetros de pequeña señal. Los valores obtenidos se ajustan razonablemente a lo diseñado.

	Diseño	Resultados
$(g_m/I_D)_2$	$5V^{-1}$	$5V^{-1}$
g_{m2}	$63nS$	$62nS$
I_{D2}	$12,5nA$	$12,5nA$
I_{DD2}	$50,0nA$	$50,1nA$

Tabla 3.3: Punto de operación y parámetros de pequeña señal del transconductor Gm2 del filtro Base.

	Diseño	Resultados
$(g_m/I_D)_f$	$25V^{-1}$	$21,5V^{-1}$
g_{mf}	$1,9nS$	$1,6nS$
I_{Df}	$75pA$	$74pA$
I_{DDf}	$300pA$	$303pA$

Tabla 3.4: Punto de operación y parámetros de pequeña señal del transconductor Gmf del filtro Base.

Sumando los consumos de los diferentes OTAs se tiene que el consumo total del filtro Base es:

$$I_{DD} = I_{DD1} + I_{DD2} + I_{DDf} = 2,57\mu A \quad (3.1)$$

Respuesta en frecuencia, offset, ruido y linealidad

Se realizaron simulaciones Montecarlo (500 runs Process and Mismatch) de la respuesta en frecuencia (.AC), el offset en la salida (.DC) y el ruido (.NOISE) sobre el esquemático del filtro Base. Para calcular la THD se hizo una simulación del transitorio para el peor caso de señal de entrada ($v_{in} = 3mV_{pp}$), el tramo computado es entre $80ms$ y $95ms$ considerando 8192 muestras y la frecuencia fundamental $1kHz$.

Los resultados obtenidos son bastante aproximados a lo esperado (ver Tabla 3.5). En el caso de G , f_{high} y f_{low} se presenta el máximo y el mínimo obtenido en la simulación Montecarlo. Cabe destacar que en la simulación del esquemático del preamplificador se observaba una dispersión igual o mayor en estos valores, y la misma se redujo de manera notoria en la simulación de extraído. Tanto para el ruido como para el offset en la salida se reporta el valor correspondiente a 3σ .

Capítulo 3. Filtro programable

	Diseño	Resultados
Ganancia G	40dB	38dB – 42dB
f_{high}	5kHz	4,8kHz – 5,0kHz
f_{low}	5Hz	2,4Hz – 6,6Hz
Offset en salida	-	20,8mV
Ruido en entrada V_{ni}	-	75 μ V _{rms}
THD@ $v_{in} = 3mV_{pp}$	-	0,77%

Tabla 3.5: Resultados del filtro Base.

Bloqueo de continua

Si se genera un desnivel en continua del par de entrada de valor V_{OS} se puede ver que el circuito bloquea la continua modificando levemente el voltaje de continua de la salida V_{outDC} . El circuito opera sin penalizar la ganancia hasta valores de $V_{OS} = 50mV$, y hasta 100mV con una penalización menor. A partir de los 150mV se registra una penalización importante en la ganancia (ver Tabla 3.6).

V_{OS}	V_{outDC}	V_{9G}	I_{D8}	I_{D9}	Ganancia	THD
0mV	1,652V	1,83V	585nA	6,5nA	40,8dB	0,77%
20mV	1,654V	1,39V	544nA	119nA	40,6dB	0,78%
50mV	1,654V	0,98V	436nA	332nA	40,0dB	0,62%
100mV	1,655V	TBD	274nA	655nA	38,1dB	0,43%
150mV	1,655V	0,21V	147nA	910nA	34,5dB	0,45%

Tabla 3.6: Respuesta del filtro Base ante un desnivel de continua en la entrada.

El cálculo de la THD, efectuado para una señal de entrada sinusoidal de amplitud de $3mV_{pp}$, muestra que el mecanismo de bloqueo de continua no afecta significativamente el funcionamiento lineal del filtro.

3.3.2. Programación Filtro Base

Se simularon los bordes que permiten mostrar que la programación funciona correctamente. En primer lugar, se toma $C_L = 1,6pF$ para considerar todo el rango de programación de la ganancia trabajando con la máxima $f_{high} = 5kHz$. En segundo lugar, se toma $C_L = 100pF$ (que corresponde a la mínima $f_{high} = 100Hz$) y se simulan los extremos de programación de la ganancia.

Programación de la ganancia con $f_{high} = 5kHz$

Se realizaron simulaciones del esquemático (para los valores típicos) de la respuesta en frecuencia (.AC), el ruido (.NOISE) y el consumo (.DC). Para calcular la THD se hizo una simulación del transitorio (.TRAN) para el peor caso de señal de entrada ($300mV_{pp}$ en la salida). El tramo computado es entre 85ms y 100ms considerando 8192 muestras y la frecuencia fundamental 1kHz.

3.3. Resultados

En Tabla 3.7 se presentan resultados para $C_L = 1,6pF$ y $E = 1$. Moviendo $I_{BiasGm1}$ es posible bajar la ganancia desde $40,8dB$ hasta $26,1dB$ (e incluso más).

$I_{BiasGm1}$	$630nA$	$125nA$	$63nA$
Ganancia G	$40,8dB$	$31,0dB$	$26,1dB$
f_{high}	$5,0kHz$	$5,2kHz$	$5,2kHz$
f_{low}	$3,4Hz$	$0,6Hz$	$0,2Hz$
Ruido en entrada V_{ni}	$58\mu V_{rms}$	$64\mu V_{rms}$	$72\mu V_{rms}$
Consumo I_{DD}	$2,57\mu A$	$552nA$	$304nA$
$THD@v_{in} = 300mV_{pp}/G$	$0,7\%$	$0,5\%$	$0,5\%$
$G@V_{OS} = 20mV$	$40,6dB$	$30,2dB$	$24,9dB$
$THD@V_{OS} = 20mV$	$0,7\%$	$0,6\%$	$0,7\%$

Tabla 3.7: Resultados del filtro programable con $C_L = 1,6pF$ y $E = 1$.

Cambiando la relación de copia en $E = 10$ (Tabla 3.8) se observa que es posible llegar a un valor entre $8,8dB$ y $3,5dB$ (a $3,5dB$ no se estaría llegando con este seteo ya que se tiene una $THD = 7,9\%$ en el bloqueo del $V_{OS} = 20mV$).

$I_{BiasGm1}$	$630nA$	$125nA$	$63nA$
Ganancia G	$19,7dB$	$8,8dB$	$3,5dB$
f_{high}	$5,1kHz$	$4,9kHz$	$4,9kHz$
f_{low}	$0,4Hz$	$0,2Hz$	$0,2Hz$
Ruido en entrada V_{ni}	$66\mu V_{rms}$	$102\mu V_{rms}$	$160\mu V_{rms}$
Consumo I_{DD}	$1,96\mu A$	$439nA$	$247nA$
$THD@v_{in} = 300mV_{pp}/G$	$0,5\%$	$1,3\%$	$4,9\%$
$G@V_{OS} = 20mV$	$19,2dB$	$7,4dB$	$1,9dB$
$THD@V_{OS} = 20mV$	$0,6\%$	$3,6\%$	$7,9\%$

Tabla 3.8: Resultados del filtro programable con $C_L = 1,6pF$ y $E = 10$.

Para llegar a valores inferiores incluyendo el $0dB$ es necesario tomar $E = 100$ (Tabla 3.9). Más abajo de $0dB$ no se podrá llegar porque se está en el límite de la especificación de la linealidad cuando se quiere bloquear una continua en la entrada de $V_{OS} = 20mV$.

Se observa una variación importante en f_{low} (desde $3,4Hz$ hasta $0,1Hz$) fruto del cambio de g_{m1} . Este cambio no es necesariamente un problema, al contrario, en los casos que se necesita llegar a frecuencias del orden de $0,1Hz$ puede ser útil para evitar el uso de un condensador externo. El resto de los parámetros del filtro programable están dentro de lo esperado.

Programación de la ganancia con $f_{high} = 100Hz$

Se realizaron simulaciones del esquemático (para los valores típicos) de la respuesta en frecuencia (.AC), el ruido (.NOISE) y el consumo (.DC). Para calcular

Capítulo 3. Filtro programable

$I_{BiasGm1}$	$700nA$
Ganancia G	$0,03dB$
f_{high}	$4,9kHz$
f_{low}	$0,1Hz$
Ruido en entrada V_{ni}	$225\mu V_{rms}$
Consumo I_{DD}	$2,16\mu A$
$THD@v_{in} = 300mV_{pp}/G$	$3,0\%$
$G@V_{OS} = 20mV$	$-0,4dB$
$THD@V_{OS} = 20mV$	$4,6\%$

Tabla 3.9: Resultados del filtro programable con $C_L = 1,6pF$ y $E = 100$.

la THD se hizo una simulación del transitorio (.TRAN) para el peor caso de señal de entrada ($300mV_{pp}$ en la salida). El tramo computado es entre $850ms$ y $1000ms$ considerando 8192 muestras y la frecuencia fundamental $10Hz$.

$I_{BiasGm1}$	$700nA$	$630nA$
E	100	1
Ganancia G	$0,03dB$	$40,8dB$
f_{high}	$100Hz$	$100Hz$
f_{low}	$0,1Hz$	$3,3Hz$
Ruido en entrada V_{ni}	$78\mu V_{rms}$	$39\mu V_{rms}$
Consumo I_{DD}	$2,16\mu A$	$2,57\mu A$
$THD@v_{in} = 300mV_{pp}/G$	$3,5\%$	$1,2\%$
$G@V_{OS} = 20mV$	$-0,4dB$	$40,7dB$
$THD@V_{OS} = 20mV$	$5,0\%$	$1,7\%$

Tabla 3.10: Resultados del filtro programable con $C_L = 100pF$

La frecuencia $f_{high} = 100Hz$ se setea conectando $C_L = 100pF$. Moviendo $I_{BiasGm1}$ y E es posible modificar la ganancia dentro del rango deseado. En la Tabla 3.10 se presentan resultados los extremos: para $E = 1$ se obtiene una ganancia de $40,8dB$ mientras que para $E = 100$ se obtiene prácticamente $0dB$.

En este caso valen los mismos comentarios realizados en la sección anterior. Los parámetros del filtro programable están dentro de lo esperado, a menos de f_{low} que no sería un problema.

3.4. Discusión y conclusiones

Se diseñó e implementó a nivel de esquemático un filtro pasabanda, cuya ganancia es programable entre $1V/V$ y $110V/V$ y su frecuencia de corte superior es programable entre $100Hz$ y $5kHz$. Dependiendo de su programación, el filtro consume entre $0,3\mu A$ y $2,6\mu A$, tiene un ruido equivalente en la entrada que varía

3.4. Discusión y conclusiones

entre $39\mu V_{rms}$ y $225\mu V_{rms}$ y presenta un offset en su salida de $20,8mV$. El filtro presenta una correcta linealidad logrando un excursión de salida de $300mV_{pp}$ con una $THD < 5\%$ y es capaz de bloquear niveles de continua en su entrada de $20mV$. En la tabla 3.11 se presenta un resumen de los resultados obtenidos.

	Especificaciones	Resultados
Ganancia programable G	$0dB - 40dB$	$0dB - 40,7dB$
f_{high} programable	$100Hz - 5kHz$	$100Hz - 5kHz$
f_{low} (C_f int)	$5Hz$	$0,1Hz - 3,4Hz$
Consumo I_{DD}	$\leq 1\mu A$	$0,3\mu A - 2,6\mu A$
Ruido v_{ni}	$\leq 270\mu V_{rms}$	$39\mu V_{rms} - 225\mu V_{rms}$
Output Swing $300mV_{pp}$	$THD < 5\%$	$THD < 5\%$
Offset Salida	$\leq 20mV$	$20,8mV$
Bloqueo continua V_{OS}	$\geq 24mV$	$20mV$

Tabla 3.11: Resumen de resultados del filtro programable

Como se adelantó se la sección 3.2.2 se constata una variación importante en f_{low} (desde $3,4Hz$ hasta $0,1Hz$) fruto del cambio de g_{m1} . Este cambio no es necesariamente un problema, al contrario, en los casos que se necesita llegar a frecuencias del orden de $0,1Hz$ puede ser útil para evitar el uso de un condensador externo. Si se quisiera controlar esa frecuencia con mayor precisión podría pensarse un esquema para modificar g_{mf} a contra-fase del cambio en g_{m1} .

El consumo está bien para varias configuraciones del filtro programable, pero en varias otras se pasa del presupuesto asignado. El flujo de diseño planteado en 3.2.1 no deja mucho margen, obtener una ganancia alta en un ancho de banda amplio es oneroso para esta arquitectura. Este tema será re-evaluado en el capítulo 5 cuando se estudie la globalidad del front-end.

A excepción de las bajas ganancias, donde se está muy justo, el requerimiento de bloqueo de continua fue cumplido razonablemente.

La linealidad del filtro llega al borde de la especificación para ganancias bajas. En particular, para $G = 1$ y $f_{high} = 100Hz$ se tiene una $THD = 5\%$, y para la misma ganancia en $f_{high} = 5kHz$ es $4,6\%$. Estos niveles de distorsión se logran llevando al filtro a su mayor consumo, ya que con menores niveles de corriente la distorsión aumenta (esto se observa claramente en la Tabla 3.8). Por tanto, estos resultados dan la pauta que introducir alguna técnica de linealización en G_{m1} (como las que se usarán en el capítulo 4) mejoraría la performance del circuito desde el punto de vista de la linealidad y el consumo.

El offset en la salida resultó un poco alto, habrá que tener esto en cuenta en la etapa siguiente.

En resumen, con las limitaciones antes mencionadas, se destaca que se pudo diseñar un filtro programable a partir de la arquitectura planteada que cumple razonablemente con las especificaciones de la aplicación.

Esta página ha sido intencionalmente dejada en blanco.

Capítulo 4

Filtro de alto rango lineal

4.1. Especificaciones

Las especificaciones del filtro de salida se establecen a partir de las especificaciones generales del sistema (ver sección 1.4) y de las características del filtro programable presentado en el capítulo 3, éstas últimas son:

- Frecuencia de corte superior máxima $f_{high} = 5kHz$.
- Frecuencia de corte inferior $f_{low} = 0,1Hz - 3,4Hz$
- Consumo de preamplificador y filtro programable $I_{DD} = 8,4\mu A - 10,7\mu A$.
- Output Swing = $300mV_{pp}$
- Filtrado a $-20dB/dec$ a baja y alta frecuencia.
- Offset a la salida $V_{Offset} = 20,8mV$

Como el front-end debe tener un excursión de salida de $1V_{pp}$, la ganancia del filtro de salida deberá ser $G = 3,33V/V$.

Desde el punto de vista del consumo se requiere que el filtro consuma mucho menos que las etapas anteriores, se establece entonces que $I_{DD} = 1\mu A$.

El ancho de banda ideal buscado es $0,1Hz - 10kHz$, llegar a $f_{low} = 0,1Hz$ sin condensador externo no es muy factible, con condensador integrado se espera llegar lo más abajo posible de $20Hz$ para que sea el preamplificador quien fije el polo de baja frecuencia. Por otra parte, una $f_{high} = 8 - 10kHz$ sería aceptable para que el front-end mantenga $f_{high} = 5kHz$.

No hay requerimientos de ruido porque la señal ya adquirió una amplitud tal (mayor a $300mV_{pp}$) que el ruido intrínseco de los componentes no interviene.

Finalmente, el filtro de salida debe ser capaz de bloquear el offset remanente en la salida del filtro programable ($20,8mV$ con 3σ) superpuesto al offset (referido a la entrada) generado por el propio filtro de salida. Si se estima este valor en $20mV$, asumiendo que las distribuciones son gaussianas, se llega a que $V_{OS} \geq \sqrt{(20,8mV)^2 + (20mV)^2} = 28,9mV$.

Capítulo 4. Filtro de alto rango lineal

En función de las consideraciones realizadas anteriormente se tiene las especificaciones para el filtro de salida:

- Ganancia $G = 3,33$.
- Frecuencia de corte superior $f_{high} = 8 - 10kHz$.
- Frecuencia de corte inferior $f_{low} < 5Hz$ con condensador integrado y $f_{low} = 0,1Hz$ con condensador externo.
- Filtrado a $-20dB/dec$ a baja y alta frecuencia.
- Consumo $I_{DD} = 1\mu A$
- Output Swing $\geq 1V_{pp}$ con $THD \leq 5\%$
- Bloqueo de continua $V_{OS} \geq 30mV$
- Offset a la salida $V_{Offset} \leq 20mV$

4.2. Diseño

Si se observan las especificaciones se concluye que se necesita un filtro que es un caso particular del filtro programable presentado en la capítulo 3 pero con más requerimientos de rango lineal. Por tanto, se utiliza el mismo circuito (ver figuras 3.1 y 3.2) y aplica el mismo flujo de diseño utilizado en la sección 3.2.1. Las figuras y ecuaciones se repiten en esta sección para facilitar la lectura.

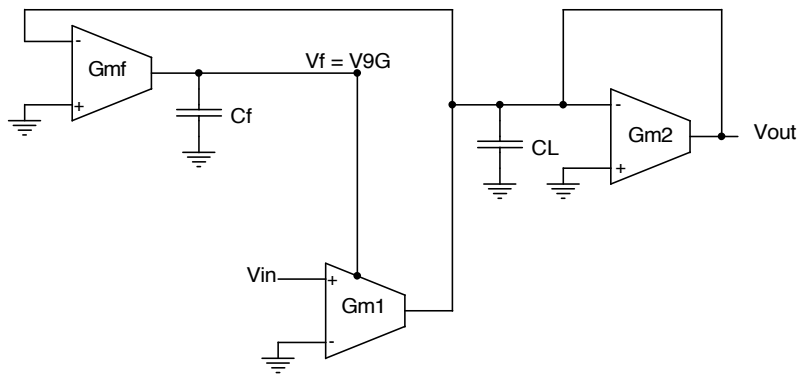


Figura 4.1: Arquitectura del filtro de salida.

En la figura 4.1 se presenta el diagrama esquemático de la arquitectura propuesta. Los bloques $Gm2$ y Gmf son OTAs simétricos cuya respectiva transconductancia es g_{m2} y g_{mf} . $Gm1$ es un OTA simétrico de transconductancia g_{m1} , al cual se le agregó un bloque de eliminación de continua *local* formado por los transistores M6, M7, M8 y M9 (ver Fig. 4.2).

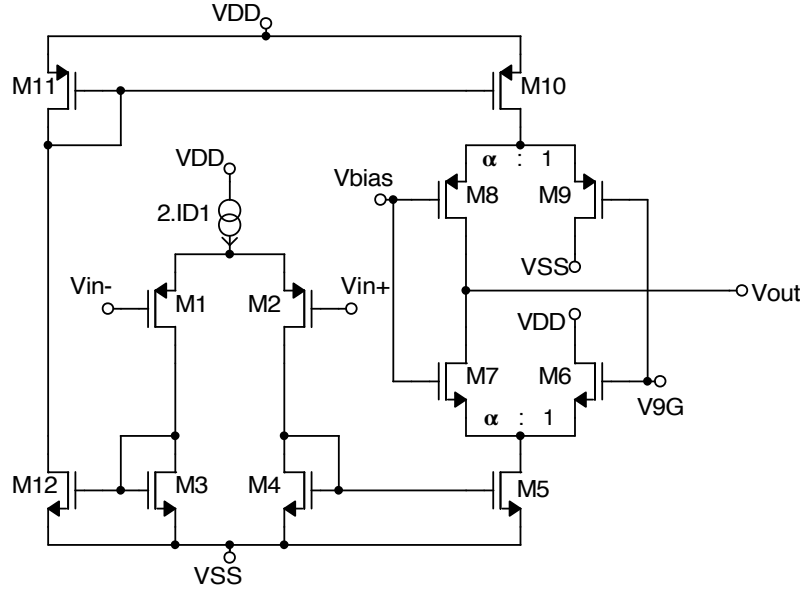


Figura 4.2: Detalle a nivel de transistor del Gm1 del filtro de salida.

En la Fig. 4.1 no se muestran las fuentes de corrientes que polarizan los OTAS, éstas serían: $I_{BIASGm1} = 2I_{D1}$, $I_{BIASGm2} = 2I_{D2}$ e $I_{BIASGmf} = 2I_{Df}$. La ecuaciones del filtro son exactamente las mismas que las del preamplificador presentadas en la sección 2.2.1:

$$f_{high} = \frac{g_{m2}}{2\pi C_L} \quad (2.2)$$

$$G = \frac{g_{m1}}{g_{m2}} \quad (2.3)$$

$$f_{low} = \frac{g_{m6} + g_{m9}}{g_{m2}} \frac{g_{mf}}{2\pi C_f} \quad (2.4)$$

Se seguirán los mismos criterios de notación utilizados en los capítulos anteriores. Por un lado g_{m1} , g_{m2} y g_{mf} refieren a la transconductancia efectiva de los bloques Gm1, Gm2 y Gmf. Por otro lado, y únicamente para el bloque M6-M9, g_{m6} , g_{m7} , g_{m8} y g_{m9} refieren a la transconductancia de M6, M7, M8 y M9. Asimismo, más allá que el contexto no debería dar a confusiones, cuando se escribe $(g_m/I_D)_{ab}$, b puede ser 1, 2 o f y corresponde respectivamente a Gm1, Gm2 o Gmf. Si a se omite se refiere a los transistores del par de entrada, si es una E corresponde a los transistores que funcionan como espejos y si es C a los cascos.

4.2.1. Flujo de diseño

Considerando que la capacidad del nodo de salida tiene una cota inferior para que su valor no dependa de las capacidades parásitas ($C_{Lmin} = 4pF$)¹ y que la frecuencia de corte superior es un requerimiento ($f_{high} = 10kHz$), el valor de g_{m2} queda determinado por la ecuación 2.2. Fijado g_{m2} , la ganancia esperada determina g_{m1} a través de la ecuación 2.3.

Como el requerimiento de rango lineal es el más importante, las etapas de entrada de Gm1 ($(g_m/I_D)_1$) y Gm2 ($(g_m/I_D)_2$) se polarizan en inversión fuerte: $(g_m/I_D)_1 = 5V^{-1}$ y $(g_m/I_D)_2 = 5V^{-1}$.

Los transistores cascos de Gm2 ($(g_m/I_D)_{C2}$) se polarizan en inversión débil para tener un pequeño V_{DSsat} y maximizar el output swing: $(g_m/I_D)_{C2} = 25V^{-1}$.

En los transistores cascos de Gm1 ($(g_m/I_D)_{C1}$) hay que balancear tres cosas. En primer lugar, cuánto más débil sea el nivel de inversión, más pequeño será V_{DSsat} y por tanto mayor será el output swing. En segundo lugar, como el voltaje del gate de estos cascos no puede modificarse (está fijo, tanto para el PMOS como para el NMOS, en $V_{bias} \cong V_{DD}/2$), si se llevan a inversión muy débil, el V_{GS} de estos transistores será pequeño y por tanto el voltaje de drain de los espejos será muy alto (innecesariamente ya que los espejos están en inversión débil) y el output swing se verá limitado. Por último, polarizar en inversión fuerte conviene para obtener un valor tan bajo como sea posible del polo de baja frecuencia. El compromiso entre estos elementos impuso que: $(g_m/I_D)_{C1} = 10V^{-1}$.

Resultados provenientes de simulaciones sugieren que también conviene polarizar en inversión fuerte los cascos de Gm1 para bajar la dispersión en g_{m6} y g_{m9} . La ventaja de la inversión fuerte puede ser debida al rango lineal del par diferencial que forman los cascos, que asegura que en un mayor rango de variación de V_{9G} el g_m se mantenga constante.

Para minimizar el impacto en el consumo y en la ganancia que agrega el bloque M6-M9 se impone $\alpha = 10$, esto es: $g_{m7,8} \cong 10g_{m6,9}$. Con estos criterios quedan definidos g_{m6} y g_{m9} .

g_{m2} , g_{m6} y g_{m9} como se mencionó anteriormente están determinados y C_f está acotado por el máximo valor que pueda conseguirse con un área razonable ($C_f = 300pF$). Entonces, dada una especificación de $f_{low} = 4Hz$ a través de la ecuación 2.4, el valor g_{mf} queda determinado. Para tener una f_{low} lo más baja posible se necesita tener un valor g_{mf} lo más pequeño posible, lo cual implica un W/L chico y por tanto transistores largos. Esto genera dos problemas, por un lado el tamaño y por otro la capacidad parásita en la entrada de Gmf (que es el nodo de salida del filtro). Este aspecto se vuelve crítico si se pretende linealizar el par de entrada (ver sección 4.2.2). Por este motivo y para tener mejor rango lineal de entrada es preferible polarizar en inversión fuerte, pero cuanto más fuerte es el nivel inversión más chico es W/L , lo cual lleva a transistores excesivamente largos con valores de C_{gs} igualmente altos. Entonces, para mantener acotado su tamaño

¹Se verá más adelante que las etapas de entrada de Gm2 y Gmf tienen transistores largos ($L > 200\mu m$), por lo tanto con una C_{gs} relativamente alta. Este punto se tornará crítico cuando se agreguen transistores de linealización.

($L \leq 250\mu m$) se decidió polarizar en inversión débil a los transistores del par de entrada de Gmf ($(g_m/I_D)_f = 20$), quedando determinado así I_{Df} . Desde el punto de vista del consumo esto es mejor, aunque las corrientes involucradas son tan pequeñas que este argumento no pesa.

Para tener un V_{DSsat} bajo, los espejos se polarizaron en inversión débil: $(g_m/I_D)_{E1} = (g_m/I_D)_{E2} = 25V^{-1}$. Correspondiendo el subíndice $E1$ a los espejos de Gm1 y $E2$ a los espejos de Gm2.

4.2.2. Linealización de OTAs

Tomando en cuenta las especificaciones del filtro (ver sección 4.1) Gm1 debe tener un rango lineal de entrada que incluya $v_{in} \cong 300mV_{pp}$ superpuesto a un offset del orden de $20mV$, lo cuál está en el límite de lo que puede representar un problema para un par diferencial estándar. Por otra parte, Gmf y Gm2 deben ser capaces de manejar en su entrada $v_{out} = Gv_{in} \cong 1V$, lo cual implica que debe aplicarse alguna técnica de linealización.

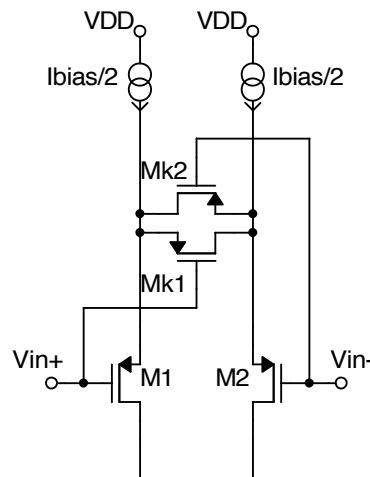


Figura 4.3: Circuito de linealización

Para aumentar el rango lineal de Gm1, Gm2 y Gmf se propone utilizar la técnica propuesta en [48] que consiste en conectar el source de los transistores del par de entrada mediante dos transistores Mk1 y Mk2 (llamados de *linealización*) según figura 4.3. La clave de esta técnica es polarizar los transistores Mk1 y Mk2 en zona de lineal de modo tal que para bajos v_{in} se comporte como una resistencia (aumentando de este modo el rango lineal como si fuera una resistencia de source); al aumentar v_{in} aumenta el voltaje drain-source de estos transistores, con lo cual a partir de cierto punto pasan a saturación, logrando extender un poco más el rango lineal a costa de aumentar un poco la THD. En [48] se hacen las cuentas para inversión fuerte y se plantea como ecuación de diseño la relación entre (W/L) recogida en la ecuación 4.1.

Capítulo 4. Filtro de alto rango lineal

$$(W/L)_{Lin} = \frac{(W/L)_{ParEntrada}}{K} \quad (4.1)$$

donde $(W/L)_{ParEntrada}$ es el (W/L) del par de entrada y $(W/L)_{Lin}$ es el (W/L) de los transistores de linealización. Esta técnica se ha utilizado en inversión débil con muy buenos resultados también.

Si K es muy chico su efecto sobre la linealización es imperceptible, mientras que si es muy grande la transconductancia resultante disminuye. Por tanto existe un K óptimo, que a su vez depende del nivel de inversión de los transistores del par de entrada. Mediante simulaciones y apoyado en [46, 48–50] se determinó que en nuestro caso, para tener un rango lineal de $1V_{pp}$, el K óptimo para Gm1 y Gm2 (inversión fuerte) estaba entre 6 y 8, y el K óptimo para Gmf (inversión débil) estaba entre 3 y 4.

La capacidad de aumentar el rango lineal de esta técnica es muy buena pero en nuestro filtro genera un aumento importante de la capacidad parásita en el nodo de salida v_{out} (que es la entrada de Gm2 y Gmf). En efecto, el filtro requiere que estos OTAs tengan transconductancias bajas (especialmente Gmf), por lo cual se tiene un $(W/L)_{ParEntrada}$ chico, y según la ecuación 4.1, M1k y M2k necesitan un (W/L) K veces más chico. En consecuencia se tienen varios transistores largos, conectados en la salida, lo cual aumenta significativamente la capacidad parásita en la salida. Por lo tanto, si se toma los valores óptimos de K , la frecuencia de corte superior baja a valores fuera del rango requerido ($f_{high} < 5kHz$). La solución de compromiso fue: sacar C_L , usar $K = 5$ en Gm1, $K = 4$ en Gm2 y $K = 2$ en Gmf.

4.2.3. Implementación

	Gm1	Gm2	Gmf
$(g_m/I_D)_{ParEntrada}$	$5V^{-1}$	$5V^{-1}$	$20V^{-1}$
g_m	$523nS$	$157nS$	$5,7nS$
I_D	$105nA$	$31nA$	$280pA$
I_{DD}	$420nA$	$124nA$	$1,1nA$
$(W/L)_{ParEntrada}(\mu m)$	1,5/26	1,5/85	1,5/215
$(W/L)_{Lin}(\mu m)$	1,5/130	1,5/340	1,5/430
g_{m6}	$105nS$	-	-
g_{m7}	$1,05\mu S$	-	-
g_{m8}	$1,05\mu S$	-	-
g_{m9}	$105nS$	-	-

Tabla 4.1: Implementación filtro de salida.

El circuito se implementó con un voltaje de alimentación nominal $V_{DD} = 3,3V$ y tomando $C_f = 300pF$.

4.3. Resultados

En función de las consideraciones realizadas en las secciones 4.2.1 y 4.2.2 se obtienen los valores de los parámetros necesarios para implementar el filtro de salida. En la Tabla 4.1 se presentan los parámetros finales más relevantes.

4.3. Resultados

4.3.1. Punto de funcionamiento y consumo

En la Tabla 4.2 se presentan resultados de la simulación del punto de operación de Gm1 y los principales parámetros de pequeña señal del filtro de salida. Los valores de $g_{m6} - g_{m9}$ se apartan significativamente del valor diseñado, pero es razonable ya que la corriente por ellos es la que menos se controla (depende del offset sistemático y más en general de la continua que debe bloquearse). El resultado del resto de los parámetros es coherente con lo esperado.

	Diseño	Resultados
$(g_m/I_D)_1$	$5V^{-1}$	$5V^{-1}$
g_{m1}	$523nS$	$523nS$
I_{D1}	$105nA$	$105nA$
I_{DD1}	$420nA$	$422nA$
g_{m6}	$105nS$	$6,3nS$
g_{m7}	$1,05\mu S$	$1,11\mu S$
g_{m8}	$1,05\mu S$	$1,21\mu S$
g_{m9}	$105nS$	$42nS$

Tabla 4.2: Punto de operación y parámetros de pequeña señal del transconductor Gm1 del filtro de salida.

En la Tablas 4.3 y 4.4 se presentan resultados de la simulación del punto de operación de Gm2 y Gmf y los principales parámetros de pequeña señal.

	Diseño	Resultados
$(g_m/I_D)_2$	$5V^{-1}$	$5V^{-1}$
g_{m2}	$157nS$	$155nS$
I_{D2}	$31,0nA$	$30,8nA$
I_{DD2}	$104nA$	$125nA$

Tabla 4.3: Punto de operación y parámetros de pequeña señal del transconductor Gm2 del filtro de salida.

Sumando los consumos de los diferentes OTAs se tiene que el consumo total del filtro salida es:

$$I_{DD} = I_{DD1} + I_{DD2} + I_{DDf} = 548nA \quad (4.2)$$

Capítulo 4. Filtro de alto rango lineal

	Diseño	Resultados
$(g_m/I_D)_f$	$20V^{-1}$	$18,8V^{-1}$
g_{mf}	$5,7nS$	$5,1nS$
I_{Df}	$0,28nA$	$0,27nA$
I_{DDf}	$1,12nA$	$1,10nA$

Tabla 4.4: Punto de operación y parámetros de pequeña señal del transistor G_m del filtro de salida.

4.3.2. Respuesta en frecuencia y offset

Se realizaron simulaciones Montecarlo (500 runs Process and Mismatch) de la respuesta en frecuencia (.AC) y el offset en la salida (.DC) del esquemático del filtro de salida. Los resultados obtenidos son bastante aproximados a lo esperado (ver Tabla 4.5). En el caso de G , f_{high} y f_{low} se presenta el máximo y el mínimo obtenido en la simulación Montecarlo. Para el offset en la salida se reporta el valor correspondiente a 3σ .

	Diseño	Resultados
Ganancia G	$10,4dB$	$8,5dB - 10,1dB$
f_{high}	$10kHz$	$7,0kHz - 8,0kHz$
f_{low}	$4Hz$	$0,7Hz - 2,5Hz$
Offset en la salida	-	$33,5mV$

Tabla 4.5: Resultados del filtro salida.

Se observa que la frecuencia de corte superior y la ganancia son un poco más chicas de lo esperado, en la Fig. 4.4 se muestra un histograma en $f = 100Hz$ donde se puede ver que la media de la ganancia es $9,28dB$. Al igual que en las otras etapas, se observa una variación en f_{low} que no es despreciable.

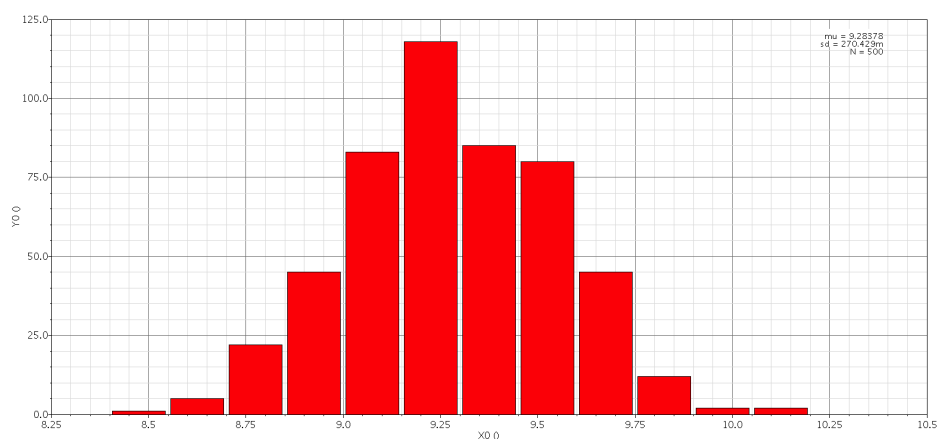


Figura 4.4: Histograma de la ganancia para $f = 100Hz$

4.3.3. Rango lineal de entrada

Se hizo una simulación del transitorio paramétrico en la amplitud de la señal de entrada (sinusoidal de $1kHz$), tomando 23 pasos equiespaciados entre $100mV$ y $330mV$ (ver figura 4.5). La simulación corresponde al esquemático del circuito, el tiempo de establecimiento del circuito es de aproximadamente $2000ms$.

Se calculó la THD entre $2450ms$ y $2500ms$ considerando 65536 muestras y la frecuencia fundamental $1kHz$. En la tabla 4.6 se presenta el valor de la THD para valores que están en el límite de la especificación.

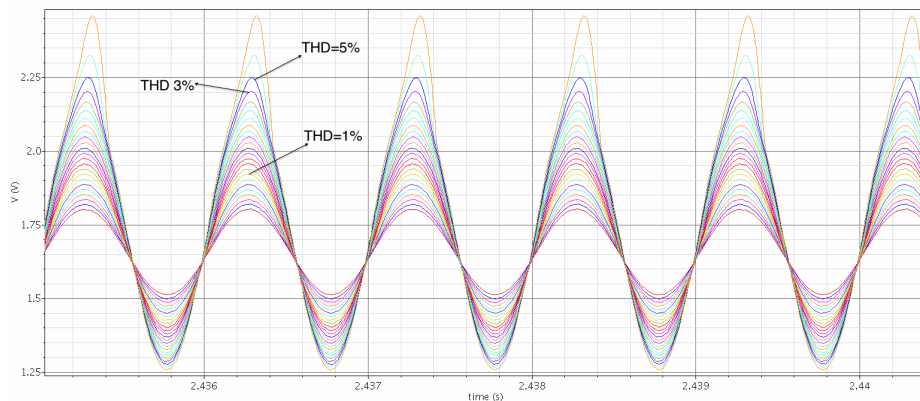


Figura 4.5: Rango lineal de entrada del filtro de salida

Señal	V_{in}	V_{out}	THD
Naranja	$160mV_{pp}$	$490mV_{pp}$	1.0 %
Violeta	$300mV_{pp}$	$910mV_{pp}$	3.1 %
Azul	$310mV_{pp}$	$970mV_{pp}$	5.0 %

Tabla 4.6: THD del filtro de salida

4.3.4. Bloqueo de continua

Si se genera un desnivel en continua del par de entrada de valor V_{OS} se puede ver que el circuito bloquea la continua quedando el voltaje de continua de la salida V_{outDC} en aproximadamente $1,652V$. El circuito opera correctamente hasta valores de $V_{OS} = 100mV$ o superiores, a partir de $100mV$ se constata una penalización en la THD (ver Tabla 4.7). El cálculo de la THD fue efectuado para una señal de entrada sinusoidal de amplitud de $300mV_{pp}$.

Por otra parte, se constata que el mecanismo de bloqueo de continua no afecta significativamente la ganancia.

Para $V_{OS} \geq 0V$ la corriente que compensa ese desbalance viene fundamentalmente de I_{D9} , mientras que para $V_{OS} < 0V$ viene de I_{D6} . En la columna I_{D9}/I_{D6} de la Tabla 4.7 se muestra el valor de la corriente que está actuando. Esta columna pone de manifiesto el gasto en corriente que se invierte en compensar V_{OS} .

Capítulo 4. Filtro de alto rango lineal

V_{OS}	V_{outDC}	V_{9G}	$I_{D8} = I_{D7}$	$I_{D9} \text{ o } I_{D6}$	Ganancia	THD
$-150mV$	$1,651V$	$2,12V$	$89nA$	$33nA$	$8,7dB$	$1,3\%$
$-100mV$	$1,651V$	$2,04V$	$95nA$	$21nA$	$8,9dB$	$1,5\%$
$-50mV$	$1,651V$	$1,92V$	$101nA$	$9,4nA$	$9,1dB$	$2,0\%$
$-20mV$	$1,652V$	$1,81V$	$104nA$	$2,6nA$	$9,3dB$	$2,5\%$
$0mV$	$1,652V$	$1,69V$	$104nA$	$2,6nA$	$9,3dB$	$3,1\%$
$20mV$	$1,652V$	$1,62V$	$102nA$	$7,0nA$	$9,2dB$	$3,8\%$
$50mV$	$1,652V$	$1,55V$	$98nA$	$14nA$	$9,1dB$	$3,4\%$
$100mV$	$1,652V$	$1,47V$	$92nA$	$26nA$	$9,0dB$	$4,4\%$
$150mV$	$1,652V$	$1,41V$	$86nA$	$38nA$	$9,0dB$	$7,7\%$

Tabla 4.7: Respuesta del filtro de salida ante un desnivel de continua en la entrada.

4.4. Discusión y conclusiones

Se diseñó e implementó a nivel de esquemático un filtro pasabanda de alto rango lineal y baja ganancia. El filtro presenta una ganancia de $9,3dB$ y es capaz de manejar a su entrada, señales de $0,31V_{pp}$ y a su salida de $0,97V_{pp}$ con una $THD = 3,1\%$. El filtro tiene una frecuencia de corte superior de $7,5kHz$ y una frecuencia inferior de $1Hz$. El filtro presenta un consumo de $550nA$, su offset en la salida es $33,5mV$ y es capaz de bloquear niveles de continua en su entrada mayores a $100mV$. En la tabla 3.11 se presenta un resumen completo de los resultados obtenidos.

	Especificaciones	Resultados
Ganancia G	$10,4dB$	$9,3dB$
f_{high}	$8kHz - 10kHz$	$7kHz - 8kHz$
f_{low}	$\leq 5Hz$	$0,7Hz - 2,5Hz$
Consumo I_{DD}	$\leq 1\mu A$	$0,55\mu A$
Output Swing	$1V_{pp}$ con $THD < 5\%$	$0,97V_{pp}$ con $THD = 3,1\%$
Offset Salida	$\leq 20mV$	$33,5mV$
Bloqueo continua V_{OS}	$\geq 30mV$	$100mV$

Tabla 4.8: Resumen de resultados del filtro de salida

Debido a los transistores de linealización la ganancia es un poco más chica de lo esperado. Debido a las capacidades parásitas en el nodo de salida, fundamentalmente las correspondientes a las etapas de entrada de $Gm2$ y Gmf (que incluyen transistores de linealización), la frecuencia de corte superior también es más pequeña de lo diseñado. Esto se había detectado y reportado en la sección 4.2.2 y por esto fue que no se incluyó C_L en este filtro ni tampoco se aumentaron los tamaños de los transistores de linealización tanto como se hubiese deseado. En ambos casos, no está en riesgo el cumplimiento con las especificaciones del front-end.

Nuevamente se constata una variación apreciable en f_{low} (casi un factor 3).

4.4. Discusión y conclusiones

Esto se debe fundamentalmente a la variación que sufren g_{m6} y g_{m9} . La dispersión de ellos por separado es importante (varían más de un orden de magnitud), pero la dispersión de la suma $g_{m6} + g_{m9}$ es menor (que es lo que interviene en la ecuación del polo de baja frecuencia, ver ecuación 2.4).

El consumo se ajusta muy bien a lo requerido y por tanto el filtro de salida no terminará teniendo mucha incidencia en el consumo total del front-end. El offset en la salida resultó un poco alto, esto deberá tenerse en cuenta en la etapa siguiente. El requerimiento de bloqueo de continua fue cumplido ampliamente.

La linealidad del filtro está al borde de la especificación pero logra manejar amplitudes de señales importantes. La capacidad de aumentar el rango lineal de la técnica utilizada [48] es muy buena pero en nuestro caso generó un aumento importante de la capacidad parásita en el nodo de salida. A futuro deberían estudiarse e introducirse técnicas que permitan bajar estas capacidades parásitas.

Finalmente, a partir de la arquitectura planteada, se destaca que se pudo diseñar un filtro de alto rango lineal que se utilizará en la salida del front-end, cumpliendo con las especificaciones de la aplicación.

Esta página ha sido intencionalmente dejada en blanco.

Capítulo 5

Circuito completo: Front-End

5.1. Implementación

Se conectaron en cascada las tres etapas del front-end: preamplificador de bajo ruido (capítulo 2), filtro programable (capítulo 3) y filtro de salida (capítulo 4).

No se agregó condensador externo C_f para fijar la frecuencia de corte inferior en ninguna de las etapas, de este modo la frecuencia de corte inferior viene determinada por el preamplificador.

Del mismo modo que en el filtro de salida, no se está colocando capacitor a la salida del front-end. Aquí se está considerando que la capacidad de carga de la etapa siguiente (por ejemplo la capacidad de entrada de conversor A/D integrado) es mucho menor a la capacidad de carga propia de la etapa final del front-end.

5.2. Resultados

5.2.1. Respuesta en frecuencia, consumo, offset y ruido

Se realizaron simulaciones Montecarlo (500 runs Process and Mismatch) de la respuesta en frecuencia (.AC), el offset en la salida (.DC) y el ruido (.NOISE). Se presentan resultados para las cuatros esquinas que surgen de la programación de la ganancia y la frecuencia de corte superior.

G y f_{high} máximas

El filtro programable se setea para dar la máxima ganancia ($E = 1$ e $I_{BiasGm1} = 630nA$) y la máxima frecuencia de corte superior f_{high} (sin C_L).

Los resultados obtenidos son bastante aproximados a lo esperado (ver Tabla 5.1). En el caso de G , f_{high} y f_{low} se presenta el máximo y el mínimo obtenido en la simulación Montecarlo. Tanto para el ruido como para el offset en la salida se reportan la media y el valor de σ que arroja la simulación (ver Tabla 5.2).

Considerando la media del ruido equivalente en la entrada v_{ni} , se tiene que $NEF = 2,61$.

Capítulo 5. Circuito completo: Front-End

	Diseño	Resultados
Ganancia G	100dB	96,1dB – 101,4dB
f_{high}	5kHz	5,0kHz – 5,4kHz
f_{low}	18Hz	18,6Hz – 20,5Hz
Consumo	-	11,2μA

Tabla 5.1: Resultados G , f_{high} , f_{low} y consumo del front-end para G y f_{high} máximas

	Diseño	Media	σ
Ganancia G @ 500Hz	100dB	99,3dB	0,8dB
Ruido salida v_{no}	-	134,3mV _{rms}	11,5mV _{rms}
Ruido entrada v_{ni}	-	1,46μV _{rms}	0,12μV _{rms}
Offset en salida	-	2,1mV	10,7mV

Tabla 5.2: Resultados de G , ruido y offset del front-end para G y f_{high} máximas

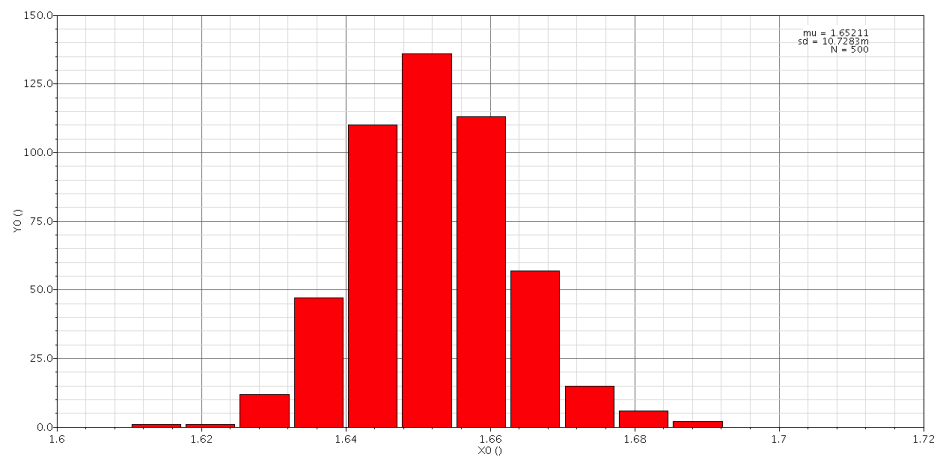


Figura 5.1: Offset a la salida del front-end para G y f_{high} máximas

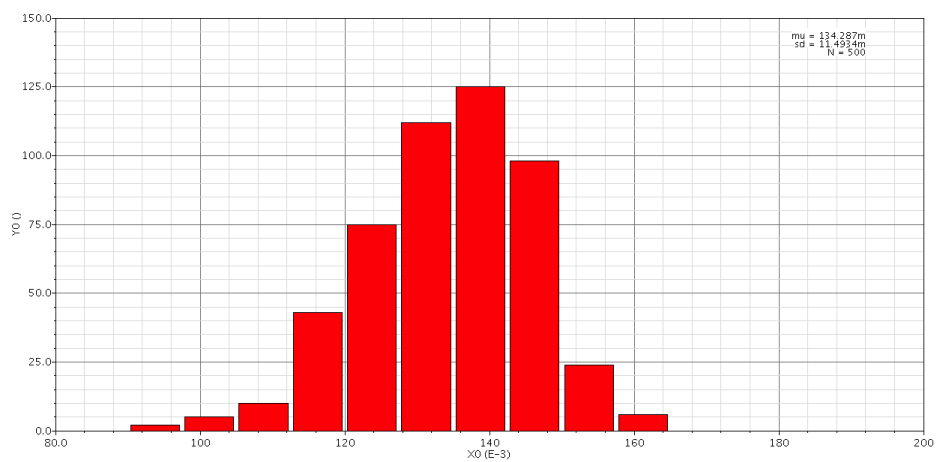
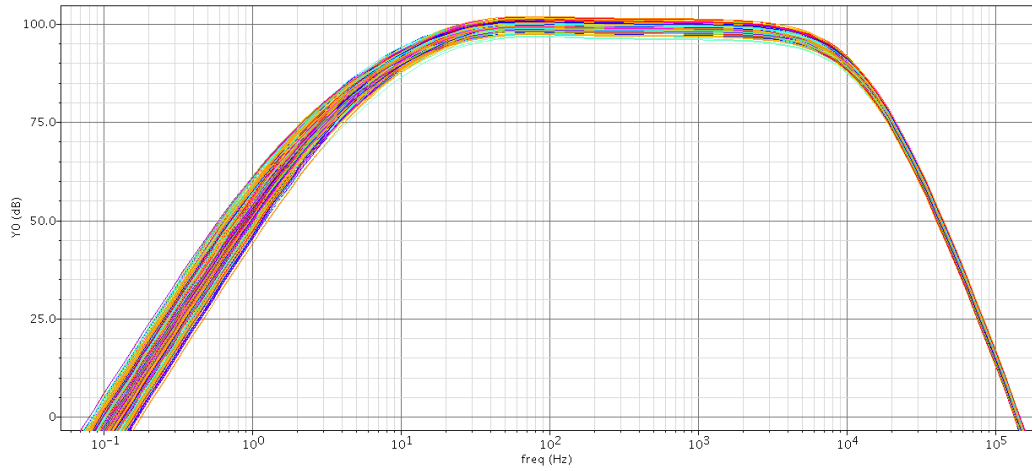


Figura 5.2: Ruido a la salida del front-end para G y f_{high} máximas

Figura 5.3: Respuesta en frecuencia del front-end para G y f_{high} máximas

G máxima y f_{high} mínima

El filtro programable se setea para dar la máxima ganancia ($E = 1$ e $I_{BiasGm1} = 630nA$) y la mínima frecuencia de corte superior f_{high} ($C_L = 100pF$).

Los resultados obtenidos son bastante aproximados a lo esperado (ver Tabla 5.3). En el caso de G , f_{high} y f_{low} se presenta el máximo y el mínimo obtenido en la simulación Montecarlo. Tanto para el ruido como para el offset en la salida se reportan la media y el valor de σ que arroja la simulación (ver Tabla 5.4).

	Diseño	Resultados
Ganancia G	100dB	96dB – 101dB
f_{high}	100Hz	115Hz – 117Hz
f_{low}	18Hz	16,9Hz – 17,8Hz
Consumo	-	11,2 μA

Tabla 5.3: Resultados G , f_{high} , f_{low} y consumo del front-end para G máxima y f_{high} mínima

	Diseño	Media	σ
Ganancia G @ 50Hz	100dB	98,9dB	0,8
Ruido salida v_{no}	-	35,38mV _{rms}	3,00mV _{rms}
Ruido entrada v_{ni}	-	0,40 μV_{rms}	0,03 μV_{rms}
Offset en salida	-	2,1mV	10,7mV

Tabla 5.4: Resultados de G , ruido y offset del front-end para G máxima y f_{high} mínima

Considerando la media del ruido equivalente en la entrada v_{ni} , se tiene que $NEF = 5,16$.

Capítulo 5. Circuito completo: Front-End

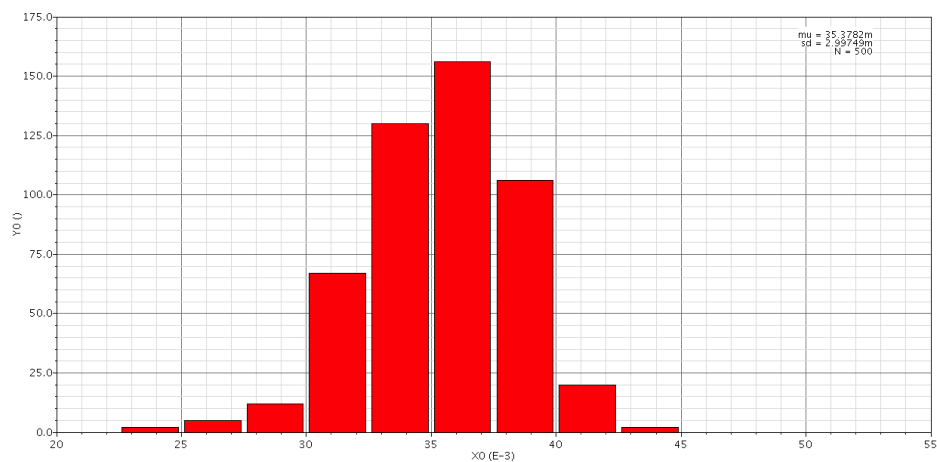


Figura 5.4: Ruido a la salida del front-end para G máxima y f_{high} mínima

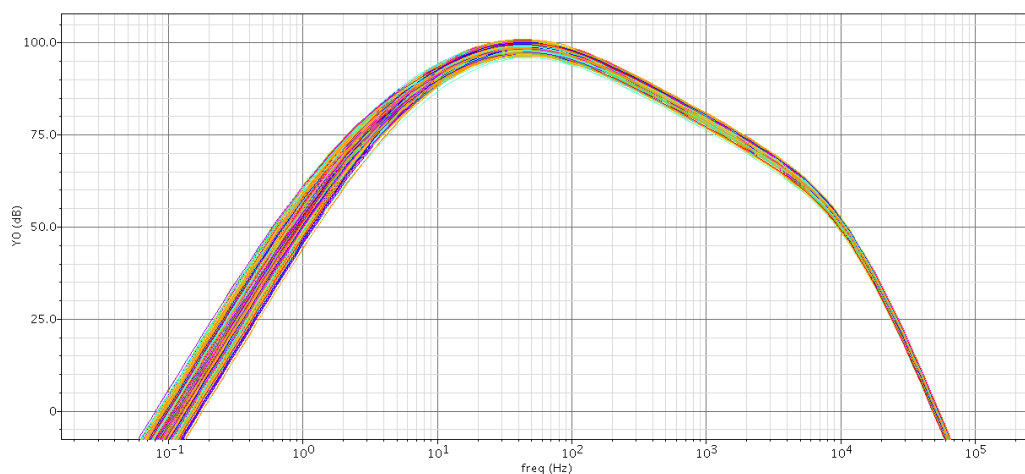


Figura 5.5: Respuesta en frecuencia del front-end para G máxima y f_{high} mínima

G mínima y f_{high} mínima

El filtro programable se setea para dar la mínima ganancia ($E = 100$ e $I_{BiasGm1} = 700nA$) y la mínima frecuencia de corte superior f_{high} ($C_L = 100pF$).

Los resultados obtenidos son bastante aproximados a lo esperado (ver Tabla 5.5). En el caso de G , f_{high} y f_{low} se presenta el máximo y el mínimo obtenido en la simulación Montecarlo. Tanto para el ruido como para el offset en la salida se reportan la media y el valor de σ que arroja la simulación (ver Tabla 5.6).

Considerando la media del ruido equivalente en la entrada v_{ni} , se tiene que $NEF = 14,40$.

5.2. Resultados

	Diseño	Resultados
Ganancia G	60dB	54,2dB – 59,5dB
f_{high}	100Hz	121Hz – 125Hz
f_{low}	18Hz	15,8 – 18,1Hz
Consumo	-	10,8 μ A

Tabla 5.5: Resultados G , f_{high} , f_{low} y consumo del front-end para G mínima y f_{high} mínima

	Diseño	Media	σ
Ganancia G @ 50Hz	60dB	57,3dB	1,1dB
Ruido salida v_{no}	-	834 μ V $_{rms}$	21 μ V $_{rms}$
Ruido entrada v_{ni}	-	1,14 μ V $_{rms}$	0,03 μ V $_{rms}$
Offset en salida	-	2,1mV	10,7mV

Tabla 5.6: Resultados de G , ruido y offset del front-end para G mínima y f_{high} mínima

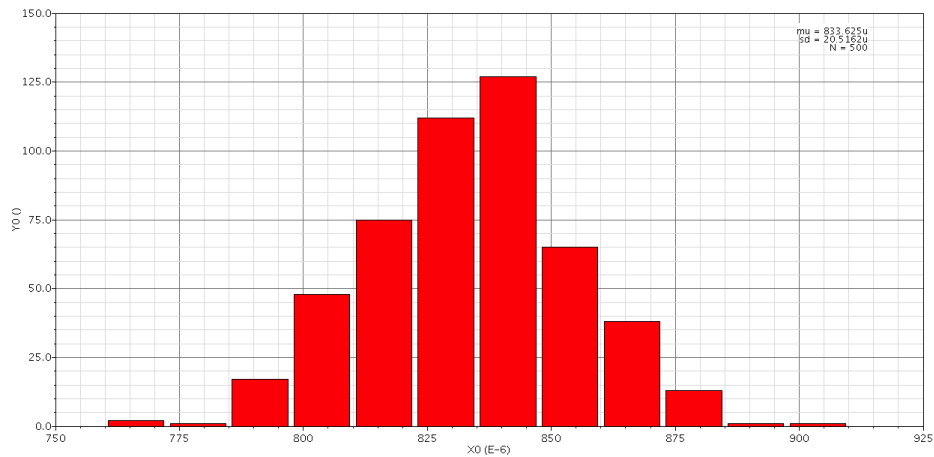


Figura 5.6: Ruido a la salida del front-end para G mínima y f_{high} mínima

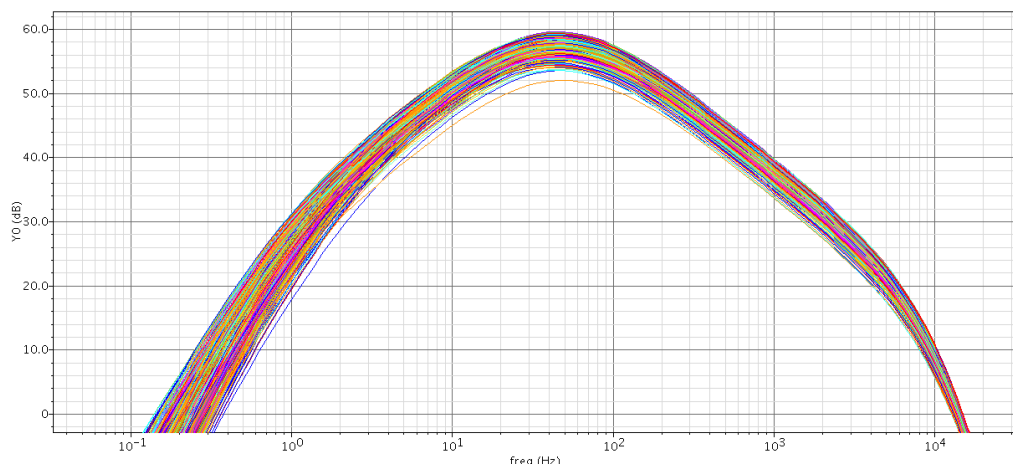


Figura 5.7: Respuesta en frecuencia del front-end para G mínima y f_{high} mínima

Capítulo 5. Circuito completo: Front-End

G mínima y f_{high} máxima

El filtro programable se setea para dar la mínima ganancia ($E = 100$ e $I_{BiasGm1} = 700nA$) y la máxima frecuencia de corte superior f_{high} (sin C_L).

Los resultados obtenidos son bastante aproximados a lo esperado (ver Tabla 5.7). En el caso de G , f_{high} y f_{low} se presenta el máximo y el mínimo obtenido en la simulación Montecarlo. Tanto para el ruido como para el offset en la salida se reportan la media y el valor de σ que arroja la simulación (ver Tabla 5.8).

	Diseño	Resultados
Ganancia G	60dB	54,5dB – 60,5dB
f_{high}	5kHz	4,8kHz – 5,0kHz
f_{low}	18Hz	19,4Hz – 20,6Hz
Consumo	-	10,8 μ A

Tabla 5.7: Resultados G , f_{high} , f_{low} y consumo del front-end para G mínima y f_{high} máxima

	Diseño	Media	σ
Ganancia G @ 500Hz	60dB	58,1dB	1,1dB
Ruido salida v_{no}	-	1,50mV _{rms}	0,11mV _{rms}
Ruido entrada v_{ni}	-	1,87 μ V _{rms}	0,14 μ V _{rms}
Offset en salida	-	2,1mV	10,7mV

Tabla 5.8: Resultados de G , ruido y offset del front-end para G mínima y f_{high} máxima

Considerando la media del ruido equivalente en la entrada v_{ni} , se tiene que $NEF = 3,35$.

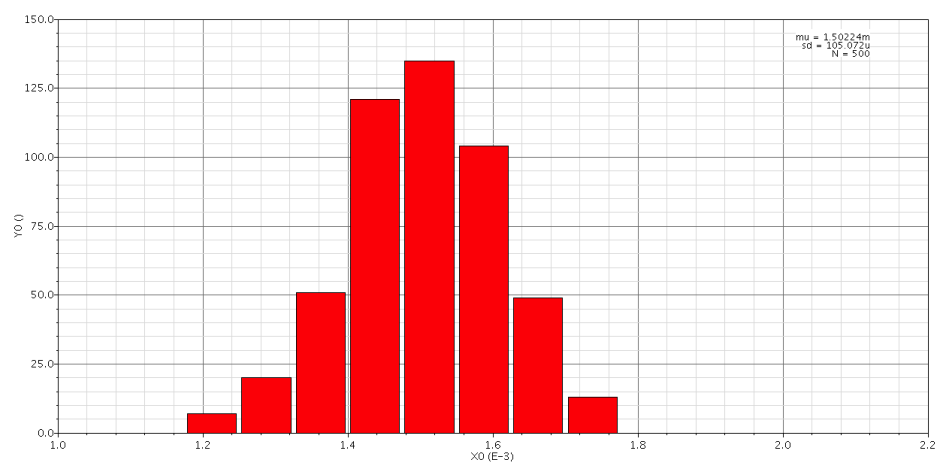


Figura 5.8: Ruido a la salida del front-end para G mínima y f_{high} máxima

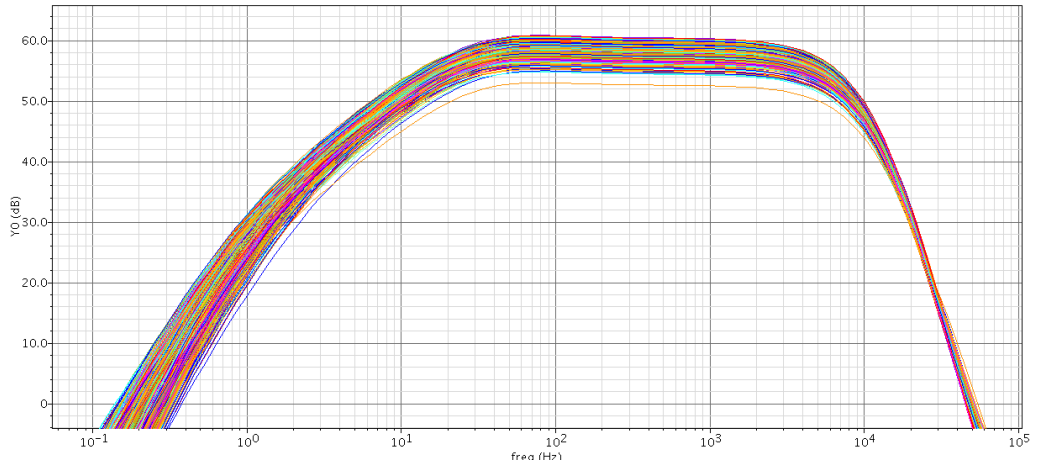


Figura 5.9: Respuesta en frecuencia del front-end para G mínima y f_{high} máxima

5.2.2. CMRR

Se realizaron simulaciones Montecarlo (500 runs Process and Mismatch) de la ganancia en modo común (.AC) para la esquina de mayor ganancia y mayor frecuencia de corte superior. No es necesario presentar las otras esquinas porque el resultado va ser esencialmente el mismo. Lo esperado es que el $CMRR$ del front-end sea igual al $CMRR$ del preamplificador, ya que las etapas sucesivas amplificarán por el mismo factor la ganancia en modo común y la ganancia diferencial, dejando el $CMRR$ incambiado.

Por tanto, el filtro programable se setea para dar la máxima ganancia ($E = 1$ e $I_{BiasGm1} = 630nA$) y la máxima frecuencia de corte superior f_{high} (sin C_L).

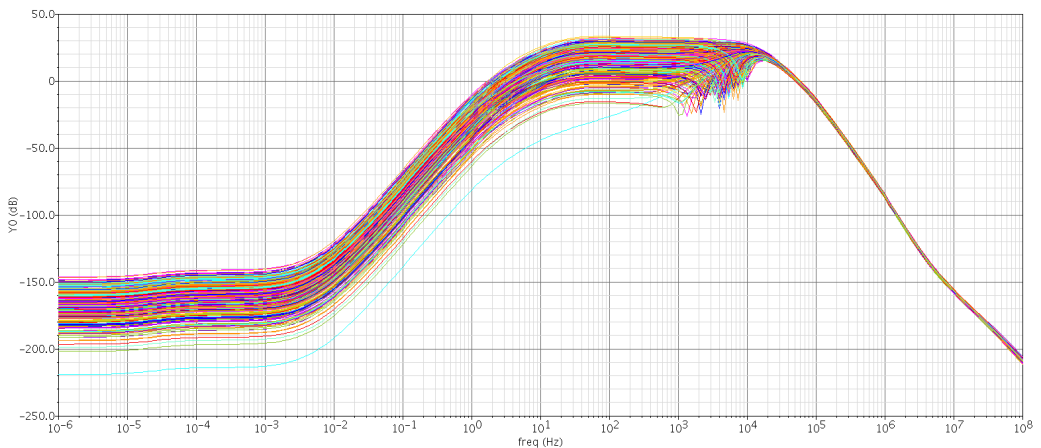


Figura 5.10: Ganancia en modo común del front-end para G máxima y f_{high} máxima

Los resultados obtenidos son bastante aproximados a lo esperado (ver Tabla 5.9).

El valor $CMRR_{medio}$ presentado en la Tabla 5.9 sale de considerar la media

Capítulo 5. Circuito completo: Front-End

	Esperado	Resultados
Ganancia en modo común (peor caso)	34dB	32dB
Ganancia en modo común (p-90)	27dB	25dB
Ganancia en modo común (media)	17dB	17dB
Ganancia diferencial (media)	100dB	99dB
$CMRR_{Peor\ caso}$	66dB	67dB
$CMRR_{p-90}$	73dB	74dB
$CMRR_{medio}$	83dB	82dB

Tabla 5.9: Resultados de $CMRR$ del front-end en 500Hz.

en el histograma de la ganancia diferencial y de la ganancia en modo común (ver Fig. 5.11). Por otra parte, el valor $CMRR_{p-90}$ presentado en la Tabla 5.9 indica que el 90 % de los chips que se fabriquen tendrán un $CMRR > 74dB$. Este criterio se adopta en lugar del clásico de 3σ porque el histograma de la ganancia en modo común no es gaussiano (ver Fig. 5.11).

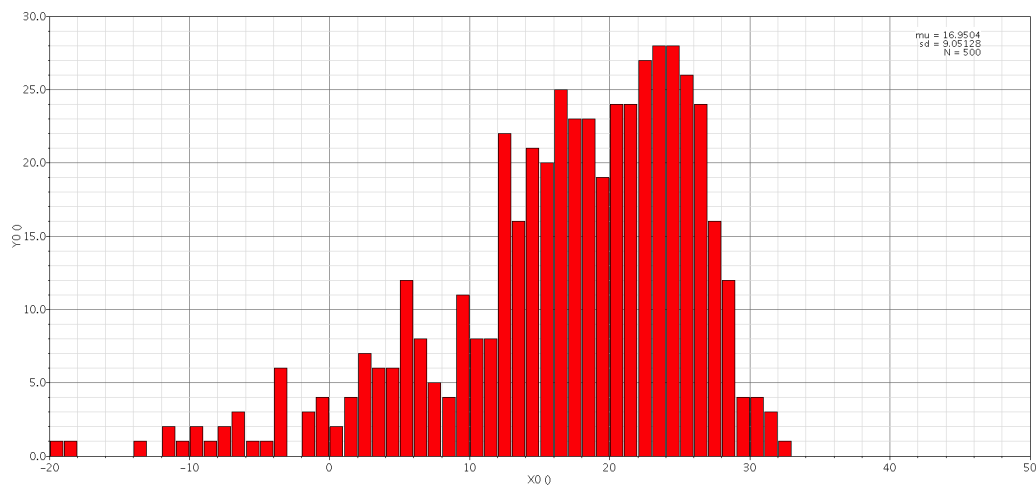


Figura 5.11: Histograma de la ganancia en modo común del front-end en 500Hz.

5.2.3. Rango lineal de entrada

G máxima

Se hizo una simulación del transitorio paramétrico en la amplitud de la señal de entrada (sinusoidal de $1kHz$), tomando tomando 11 pasos equiespaciados entre $1\mu V_{pp}$ y $11\mu V_{pp}$ (ver figura 5.12). La simulación corresponde al esquemático del circuito, con el filtro programable seteado para dar la máxima ganancia ($E = 1$ e $I_{BiasGm1} = 630nA$) y la máxima frecuencia de corte superior f_{high} (sin C_L).

El tiempo de establecimiento del circuito es de aproximadamente $5000ms$. Se calculó la THD entre $5500ms$ y $6000ms$ considerando 65536 muestras y la frecuencia fundamental $1kHz$. En la tabla 5.10 se presenta el valor de la THD para algunos valores representativos.

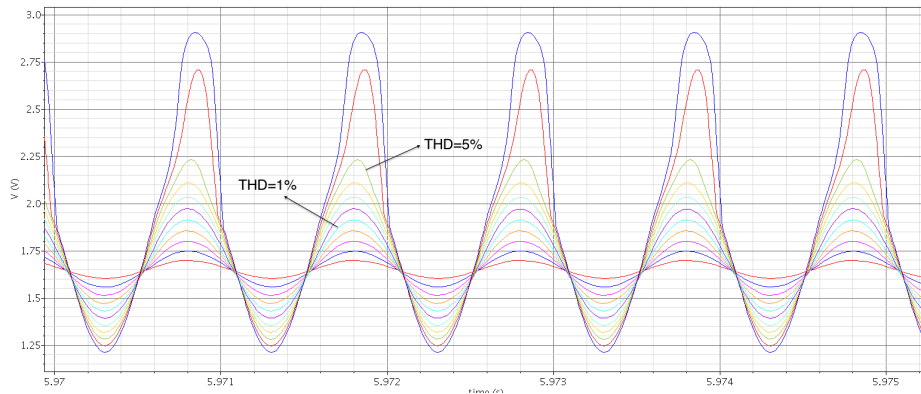


Figura 5.12: Rango lineal de entrada del front-end

Señal	V_{in}	V_{out}	THD
Celeste	$5\mu V_{pp}$	$483mV_{pp}$	1,0 %
Verde	$9\mu V_{pp}$	$950mV_{pp}$	4,8 %
Roja	$10\mu V_{pp}$	-	26,1 %

Tabla 5.10: THD del front-end

G mínima

Se hizo una simulación del transitorio paramétrico en la amplitud de la señal de entrada (sinusoidal de $1kHz$), tomando tomando 11 pasos equiespaciados entre $0,1mV_{pp}$ y $11mV_{pp}$ (ver figura 5.13). La simulación corresponde al esquemático del circuito, con el filtro programable seteado para dar la máxima ganancia ($E = 100$ e $I_{BiasGm1} = 700nA$) y la máxima frecuencia de corte superior f_{high} (sin C_L).

El tiempo de establecimiento del circuito es de aproximadamente $5000ms$. Se calculó la THD entre $5500ms$ y $6000ms$ considerando 65536 muestras y la frecuencia fundamental $1kHz$. En la tabla 5.11 se presenta el valor de la THD para algunos valores representativos.

Capítulo 5. Circuito completo: Front-End

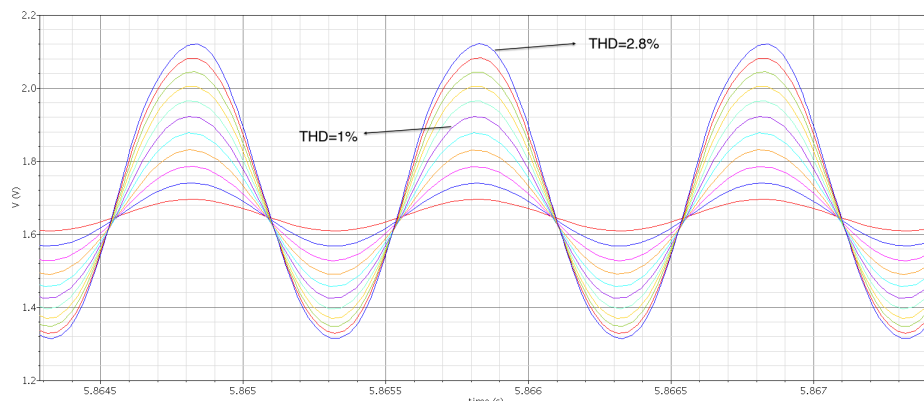


Figura 5.13: Rango lineal de entrada del front-end para G mínima

Señal	V_{in}	V_{out}	THD
Violeta	$0,6mV_{pp}$	$496mV_{pp}$	1,0 %
Azul	$1mV_{pp}$	$806mV_{pp}$	2,8 %

Tabla 5.11: THD del front-end para G mínima

5.2.4. Bloqueo de continua

G máxima

Si se genera un desnivel en continua del par de entrada de valor V_{OS} se puede ver que el circuito bloquea la continua quedando el voltaje de continua de la salida V_{outDC} en $1,652V$. La simulación corresponde al esquemático del circuito, con el filtro programable seteado para dar la máxima ganancia ($E = 1$ e $I_{BiasGm1} = 630nA$) y la máxima frecuencia de corte superior f_{high} (sin C_L).

El circuito opera correctamente hasta valores de $V_{OS} = 50mV$, a partir de ese valor se constata una penalización importante en la ganancia. En la Tabla 5.12 se presenta como algunos parámetros relevantes del circuito se modifican con V_{OS} . Por otra parte, se constata que el mecanismo de bloqueo de continua no afecta significativamente el funcionamiento lineal del filtro. La THD está calculada con una señal de entrada sinusoidal de amplitud de $5\mu V_{pp}$.

Para $V_{OS} \geq 0V$ la corriente que compensa ese desbalance viene fundamentalmente de I_{D6} , mientras que para $V_{OS} < 0V$ viene de I_{D9} . En la columna I_{D9}/I_{D6} de 5.12 se muestra el valor de la corriente que está actuando. Esta columna pone de manifiesto el gasto en corriente que se invierte en compensar V_{OS} .

G minima

Si se genera un desnivel en continua del par de entrada de valor V_{OS} se puede ver que el circuito bloquea la continua quedando el voltaje de continua de la salida V_{outDC} en $1,652V$. La simulación corresponde al esquemático del circuito, con el filtro programable seteado para dar la máxima ganancia ($E = 100$ e $I_{BiasGm1} =$

5.3. Comparación con otros front-end

V_{OS}	V_{9G}	$I_{D8} = I_{D7}$	I_{D9}/I_{D6}	Ganancia	THD
$-100mV$	$1,12V$	$0,41\mu A$	$6,51\mu A$	$82,1dB$	$0,5\%$
$-50mV$	$1,24V$	$1,47\mu A$	$4,40\mu A$	$92,3dB$	$0,7\%$
$-10mV$	$1,45V$	$3,17\mu A$	$1,00\mu A$	$97,9dB$	$1,0\%$
$0mV$	$1,65V$	$3,64\mu A$	$0,03\mu A$	$99,8dB$	$1,0\%$
$10mV$	$1,82V$	$3,17\mu A$	$0,99\mu A$	$97,2dB$	$1,0\%$
$50mV$	$1,97V$	$1,49\mu A$	$4,35\mu A$	$91,1dB$	$0,7\%$
$100mV$	$2,06V$	$0,43\mu A$	$6,46\mu A$	$81,6dB$	$0,5\%$

Tabla 5.12: Respuesta del front-end ante un desnivel de continua en la entrada

$700nA$) y la máxima frecuencia de corte superior f_{high} (sin C_L).

El circuito opera correctamente hasta valores un poco mayores de $V_{OS} = 20mV$, a partir de $50mV$ se constata una penalización importante en la THD. En la Tabla 5.13 se presenta como algunos parámetros relevantes del circuito se modifican con V_{OS} . La THD está calculada con una señal de entrada sinusoidal de amplitud de $5\mu V_{pp}$.

V_{OS}	V_{9G}	$I_{D8} = I_{D7}$	I_{D9}/I_{D6}	Ganancia	THD
$-50mV$	$1,24V$	$1,47\mu A$	$4,40\mu A$	$51,8dB$	$4,2\%$
$-20mV$	$1,34V$	$2,67\mu A$	$1,97\mu A$	$56,1dB$	$2,7\%$
$-10mV$	$1,45V$	$3,17\mu A$	$1,00\mu A$	$57,3dB$	$2,4\%$
$0mV$	$1,65V$	$3,64\mu A$	$0,03\mu A$	$59,1dB$	$2,1\%$
$10mV$	$1,82V$	$3,17\mu A$	$0,99\mu A$	$56,6dB$	$2,9\%$
$20mV$	$1,87V$	$2,69\mu A$	$1,94\mu A$	$55,0dB$	$3,5\%$
$50mV$	$1,97V$	$1,49\mu A$	$4,35\mu A$	$50,6dB$	$6,0\%$

Tabla 5.13: Respuesta del front-end ante un desnivel de continua en la entrada

Para $V_{OS} \geq 0V$ la corriente que compensa ese desbalance viene fundamentalmente de I_{D6} , mientras que para $V_{OS} < 0V$ viene de I_{D9} . En la columna I_{D9}/I_{D6} de 5.13 se muestra el valor de la corriente que está actuando. Esta columna pone de manifiesto el gasto en corriente que se invierte en compensar V_{OS} .

5.3. Comparación con otros front-end

En la Tabla 5.14 se presentan las características más relevantes de algunos front-end que se encuentran en el estado del arte. En la columna *Nosotros* se presenta el front-end desarrollado a lo largo de este capítulo donde los datos corresponden a la máxima frecuencia de corte superior. La mayoría de los trabajos que se muestran en la tabla, reportan resultados de medidas experimentales y presentan ejemplos de aplicación en seres vivos. Algunos trabajos son capaces de programar también el ancho de banda. Asimismo se destaca que, salvo el trabajo de Nicoletis [51] en 2004 que utiliza componentes discretos, el resto son circuitos

Capítulo 5. Circuito completo: Front-End

integrados y la mayoría están implementados en tecnologías más modernas que la utilizada por nosotros (por lo tanto el efecto de las capacidades parásitas en nuestro caso es más significativo).

Los datos muestran que el front-end está al nivel de los otros reseñados, e incluso en alguna dimensión es mejor. En efecto, se puede observar que es la opción que más ganancia puede brindar, igualando los mejores compromisos de ruido-consumo reportados y manteniendo una buena performance en las otras características. Por otra parte, se observa que la frecuencia de corte superior f_{high} es un poco menor. Esto se debe fundamentalmente al efecto de las capacidades parásitas y la gran ganancia.

[52] utiliza una etapa de entrada con la arquitectura de Harrison [20], con lo cual no parece muy factible que el valor de $CMRR$ que reporta sea realista. Según [52] se trata de un valor que corresponde a *simulaciones*, pensamos que debe tratarse de simulaciones que no contemplan mismatch entre los capacitores de entrada.

	[51]	[53]	[52]	[42]	[54]	[28]	Nosotros
Tecnología (μm)	Discreto	0,13	0,5	0,18	0,25	0,13	0,5
Ganancia máxima (dB)	93,4	77,6	78,0	66,0	79,8	65,5	99,3
Ganancia mínima (dB)	69,4	42,8	67,8	49,0	52,4	47,5	58,1
f_{high} (kHz)	6,5	10,0	8,0	11,7	8,9	6,9	5,2
f_{low} (Hz)	445	300	10	350	100	167	18
Consumo (μA)	3170	75	25	11,1	3,67	1,9	11,2
Ruido v_{ni} (μV_{rms})	1,0	1,95	4,32	5,4	6,67	3,8	1,46
NEF	28,0	6,60	8,32	6,53	5,29	2,46	2,61
$CMRR_{P_{eorcaso}}$ (dB)	39	-	-	-	-	-	66
$CMRR_{medido/medio}$ (dB)	42	63	134	66	62	83	82
f_{high} programable (kHz)	No	No	No	No	1 – 8,9	4,8 – 9,8	0,1 – 5,2
f_{low} programable (Hz)	No	No	100 – 1000	No	4 – 1200	12 – 167	No

Tabla 5.14: Comparación del front-end diseñado.

5.4. Discusión y conclusiones

Se diseñó e implementó a nivel de esquemático un front-end integrado para adquisición de señales neurales, cuya ganancia es programable entre $57,3dB$ y $98,9dB$, su frecuencia de corte superior es programable entre $116Hz$ y $5,2kHz$. El máximo consumo del front-end es $11,2\mu A$ y su máximo ruido equivalente es $1,87\mu V_{rms}$. El front-end presenta una correcta linealidad logrando un excursión de salida de $950mV_{pp}$ con una $THD = 4,8\%$. En la tabla 5.15 se presenta un resumen de los resultados obtenidos. Allí puede verse que en general el front-end cumple con las especificaciones pedidas.

5.4. Discusión y conclusiones

	Especificaciones	Resultados (min-max)
Ganancia programable $G(dB)$	60 – 100	57,3 – 98,9
f_{high} programable (kHz)	0,1 – 5,0	0,1 – 5,2
f_{low} (Hz)	18	16 – 21
Ruido entrada $v_{ni}(\mu V_{rms})$	≤ 2	0,4 – 1,87
Consumo $I_{DD}(\mu A)$	≤ 16	9,0 – 11,2
NEF	-	2,6 – 14,4
CMRR (dB)	≥ 80	66(peor caso) - 82(medio)
Output Swing (V_{pp})	1,00 @ $THD < 5\%$	0,95 @ $THD = 4,8\%$
Bloqueo continua $V_{OS}(mV)$	≥ 50	35 – 50
Offset Salida @ $3\sigma(mV)$	-	34,2

Tabla 5.15: Resumen de resultados del front-end

Los resultados son consistentes con los obtenidos en las etapas que lo componen. En particular, el CMRR de la etapa de entrada, que es un poco más bajo de lo esperado en el peor caso, se traslada directamente al front-end. Cómo mejorar este aspecto del circuito es algo que deberá estudiarse en el futuro. Finalmente se observa que la especificación de la frecuencia de corte superior se cumple ajustadamente, a futuro debería estudiarse alguna técnica que permita mantener el alto rango lineal bajando las capacidades parásitas (o considerar migrar hacia una tecnología más moderna).

Esta página ha sido intencionalmente dejada en blanco.

Capítulo 6

Conclusiones

La presente tesis consistió en el diseño de un front-end para la adquisición de señales neurales en un circuito integrado. El front-end se dividió en tres etapas: un preamplificador de bajo ruido, un filtro programable y un filtro de salida con alto rango lineal. El preamplificador se implementó hasta el nivel físico y se envió a fabricar. El resto de las etapas se implementaron y caracterizaron a nivel de esquemático.

Se utilizó una arquitectura novedosa de tipo Gm-C que logra su característica pasabanda de una forma eficiente en términos de área y consumo, permitiendo a la vez obtener altos niveles de CMRR y bajos valores de ruido. La prueba de concepto de esta arquitectura fue presentada en [21] para un circuito DDA pero se dejaron varios cabos sueltos. En este trabajo se utilizó esa arquitectura repensándola en términos de un biquad, y eso permitió atar varios de esos cabos. En particular se derivaron las ecuaciones de la arquitectura que permiten diseñar fácilmente a partir de los requerimientos (se desarrolló la expresión de la transferencia, las ecuaciones de la ganancia y los polos, la condición para evitar no linealidades de la técnica aplicada para lograr la característica pasabanda, entre otras). Asimismo se propusieron modificaciones a la arquitectura original que permitieron obtener resultados muy interesantes que se comentarán más adelante. Finalmente, se probó la versatilidad de la solución utilizando la misma arquitectura para diseñar el preamplificador de bajo ruido, el filtro programable y el filtro de alto rango lineal. Estos bloques fueron implementados para el proceso C5 0,50 μ de ON Semiconductor.

Para la etapa de entrada del front-end se diseñó un preamplificador neural de característica pasabanda, cuya ganancia en banda pasante es 49,6dB, su frecuencia de corte superior es 9,6kHz y su frecuencia de corte inferior es 0,1Hz (con capacitor externo) y 18Hz (con capacitor integrado). Presenta un consumo de 8,1 μ A y un ruido equivalente a la entrada de 1,96 μ V_{rms}, lo que se corresponde con un NEF = 2,19. El preamplificador presenta un CMRR = 82dB y es capaz de bloquear una señal de continua en la entrada de 50mV.

Se destaca que las modificaciones introducidas en la arquitectura original permitieron bajar el consumo a casi la mitad (de 16 a 8,1 μ A) y bajar el ruido más de un 20% (de 2,4 a 1,96 μ V_{rms}), extendiendo el ancho de banda (de 250Hz – 8kHz a 0,1Hz – 9,6kHz). Estos cambios lograron que el preamplificador esté a nivel de

Capítulo 6. Conclusiones

otros en el estado del arte, e incluso en alguna dimensión sea mejor. En efecto, de mantenerse las características simuladas en el circuito fabricado, superaría a todos los circuitos reportados a la fecha, desde el punto de vista del consumo y el ruido para barrer el rango $0,1Hz - 10kHz$. También es una muy buena opción en términos de ruido equivalente en la entrada. Si bien se encuentran opciones que consumen menos, éstas no llegan a una $f_{low} = 0,1Hz$.

Para la segunda etapa del front-end se diseñó un filtro pasabanda, cuya ganancia es programable entre $1V/V$ y $110V/V$ y su frecuencia de corte superior es programable entre $100Hz$ y $5kHz$. Como etapa de salida, se diseñó un filtro pasabanda de alto rango lineal, que es capaz de manejar a su salida de $0,97V_{pp}$ con una $THD = 3,1\%$.

El front-end, formado por los bloques antes mencionados, configurado para tener máxima ganancia ($99dB$) y máxima frecuencia de corte superior ($5,2kHz$), tiene un consumo de $11,2\mu A$ y un ruido equivalente a la entrada de $1,46\mu V_{rms}$, lo que se corresponde con un $NEF = 2,61$. Asimismo, presenta un $CMRR_{medio} = 82dB$ y una frecuencia de corte inferior $20Hz$ (con capacitores totalmente integrados). De mantenerse las características simuladas en el circuito fabricado, el front-end superaría a todos los circuitos reportados a la fecha desde el punto de vista de la ganancia, igualando los mejores compromisos ruido-consumo y manteniendo una buena performance en las otras características. Por otra parte, la ganancia del front-end es programable entre $57,3dB$ y $99,3dB$ y su frecuencia de corte superior es programable entre $0,1kHz$ y $5,2kHz$. El máximo consumo del front-end es $11,2\mu A$ y el máximo ruido equivalente a la entrada es $1,87\mu V_{rms}$.

El consumo del preamplificador y del filtro de salida se ajustan muy bien a lo requerido. Por otra parte, el consumo del filtro programable es aceptable para varias configuraciones, pero en varias otras excede el presupuesto asignado. Como se vio a lo largo de la tesis, obtener una ganancia alta en un ancho de banda amplio es oneroso para esta arquitectura. Como posible trabajo a futuro se plantea que es posible que sea mejor (desde el punto de vista del consumo) que la ganancia del filtro programable varíe entre $G = 50$ y $0,5$ y en el filtro de salida se amplifique por $6,66$. De cualquier modo, esto tampoco sería imprescindible ya que el consumo global del front-end es muy bueno.

Los valores obtenidos de CMRR son muy buenos pero no cumplen las especificaciones en el peor caso. En la arquitectura original [21] se reporta un $CMRR > 107dB$, por lo tanto el CMRR alcanzado es esperable que pueda mejorarse, lo que puede ser necesario dependiendo de la aplicación.

Mediante simulaciones Montecarlo se constata una variación en f_{low} apreciable: un factor 2 en el preamplificador y un factor 3 en el filtro de salida. Esto se debe fundamentalmente a la variación que sufren g_{m6} y g_{m9} (del circuito de bloqueo de continua). La variación de ellos por separado es importante (varían más de un orden de magnitud), pero la variación de la suma $g_{m6} + g_{m9}$ es menor (que es lo que interviene en la ecuación del polo de baja frecuencia, ver ecuación 2.4). En la f_{low} del filtro programable se tiene una variación todavía mayor (desde $0,1Hz$ hasta $3,4Hz$) pero esto es fundamentalmente fruto de la modificación en g_{m1} para programar la ganancia. Este cambio no es necesariamente un problema,

al contrario, en los casos que se necesita llegar a frecuencias del orden de $0,1Hz$ puede ser útil para evitar el uso de un condensador externo. Si se quisiera controlar esa frecuencia con mayor precisión podría pensarse un esquema para modificar g_{mf} a contra-fase del cambio en g_{m1} .

En relación al bloqueo de continua, se diseñaron y simularon tres configuraciones diferentes para el bloque M6-M9. En el preamplificador se tomó un extremo ($\alpha = 100$) para minimizar el impacto en el consumo y en la ganancia que tiene agregar el mencionado bloque: $g_{m6} = g_{m7}/100$ y $g_{m9} = g_{m8}/100$. Tomar una relación tan grande limita la capacidad de corriente que son capaces de entregar M6 y M9, y por tanto limita la capacidad de bloqueo de continua del bloque. En este caso, para llegar a bloquear $50mV$ se tiene una disminución en la ganancia. En el anexo D se plantea el otro extremo ($\alpha = 1$): un filtro que utiliza $g_{m6} = g_{m7}$ y $g_{m8} = g_{m9}$. Éste tiene un buen nivel de bloqueo de continua ($50mV$ sin alterar la ganancia) pero utiliza más del doble de presupuesto de corriente. En el caso del filtro programable y el filtro de salida se tomó un factor $\alpha = 10$ ($g_{m6} = g_{m7}/10$ y $g_{m9} = g_{m8}/10$). Para el filtro programable, dependiendo de la configuración, se logra bloquear entre $20mV$ y $50mV$ (y posiblemente valores más altos) sin pérdida significativa de ganancia. Por su parte, el filtro de salida logra bloquear niveles que superan los $100mV$. Se concluye por tanto, que tomar una relación no tan grande aumenta la cantidad de corriente que son capaces de entregar M6 y M9, y por tanto mejora la capacidad de bloqueo de continua, y no hay una penalización significativa en la ganancia y en el consumo.

La linealidad obtenida en cada bloque del front-end es en general buena. En el caso particular de ganancias bajas, el filtro programable llega a valores de linealidad que están en el borde de la especificación; y lo hace requiriendo un nivel relativamente alto de consumo. Por tanto, estos resultados dan la pauta que introducir alguna técnica de linealización en Gm1, como la utilizada en el filtro de salida, mejoraría la performance del circuito desde el punto de vista de la linealidad y el consumo.

Debido a que el filtro programable cumple ajustadamente la especificación de linealidad para ganancias bajas, no puede bloquear un rango amplio de continua. En efecto, si con un $V_{OS} = 0$ se tiene una THD límite, no es necesario aumentar mucho V_{OS} para que la THD salga del rango permitido.

Debido a las capacidades parásitas en el nodo de salida, fundamentalmente las correspondientes a las etapas de entrada de Gm2 y Gmf (que incluyen transistores de linealización), la frecuencia de corte superior del filtro de salida fue bastante más pequeña de lo esperado. Al punto que no se incluyó C_L en este filtro ni tampoco se aumentaron los tamaños de los transistores de linealización tanto como se hubiese deseado. Se concluye por tanto, que la capacidad de aumentar el rango lineal de la técnica utilizada [48] es muy buena pero a futuro deberían estudiarse e introducirse técnicas que permitan bajar las capacidades parásitas.

El offset en la salida en general resultó en valores aceptables para la aplicación.

A modo de resumen, para finalizar, se quieren destacar los aportes al estado de arte que se desarrollaron en el marco de esta tesis:

- Se logró caracterizar la arquitectura de [21] y extender su uso a filtros, mos-

Capítulo 6. Conclusiones

trando su generalidad y versatilidad. En particular, se desarrolló la expresión analítica de la transferencia, la expresión de la frecuencia corte inferior y la condición para evitar no linealidades de la técnica aplicada para lograr la característica pasabanda. Asimismo, se exploraron técnicas para programar su ganancia y su frecuencia de corte de superior. Esto permite permitir diseñar circuitos basados en esta arquitectura fácilmente a partir de las especificaciones.

- Se propusieron e implementaron modificaciones en la arquitectura del preamplificador (cambio de OTA simétrico por par diferencial con carga activa) que lograron bajar el consumo a la mitad sin penalizar las otras características importantes del circuito. Además, se puso especial énfasis en el diseño del circuito desde el punto de vista del ruido, logrando reducir el NEF a la mitad.
- Se diseñó un preamplificador de bajo ruido y ultra bajo consumo, que supera a todos los circuitos reportados a la fecha, desde el punto de vista del consumo y el ruido para barrer el rango $0,1Hz - 10kHz$. También es una muy buena opción en términos de ruido equivalente en la entrada. Si bien se encuentran opciones que consumen menos, éstas no llegan a una $f_{low} = 0,1Hz$.
- Se logró diseñar un front-end integrado programable, que permite trabajar con un conjunto muy amplio de señales biopotenciales. Esto brinda al usuario mucha flexibilidad, aumentando significativamente los contextos donde podrá aplicarse.
- El front-end presentado superara a todos los circuitos reportados a la fecha desde el punto de vista de la ganancia, igualando los mejores compromisos ruido-consumo y manteniendo una buena performance en las otras características.

Trabajo a futuro

Quedan por delante muchas cosas por hacer. En primer lugar, caracterizar el preamplificador en laboratorio y probarlo *in vivo*. El feedback que se obtenga de esta etapa será muy importante para desarrollar nuevas versiones.

En segundo lugar, en el transcurso del presente trabajo se detectaron una serie de mejoras que deberá evaluarse si conviene incorporar en futuras etapas:

- Estudiar e incorporar técnicas para reducir las capacidades parásitas en el nodo de salida, de modo de poder aumentar f_{high} o la linealidad.
- Analizar el origen del valor del CMRR del preamplificador y evaluar si puede aumentarse.

- Optimizar en área y consumo el circuito utilizado para la polarización del transistor cascode (técnica planteada en [47]) de la fuente de corriente del Gm1 del preamplificador.
- Implementar la técnica de [47] en los transistores cascode de la salida de Gm2 y de esa manera ahorrar los dos pines que hoy se usan para ello.
- Evaluar si es necesario incorporar alguna mejora (como la discutida en la sección 2.7) para minimiza el impacto del ruido de Flicker en los casos que f_{high} es baja.

En tercer lugar, hay una serie de tareas que podrían realizarse para terminar de caracterizar el diseño:

- Simular el front-end con condensadores externos y verificar que se llega a $0,1Hz$.
- Calcular y simular la mínima tensión de alimentación.
- Simular PSRR.
- Completar el análisis de la respuesta en frecuencia de la arquitectura calculando el valor del polo no dominante y evaluar a partir de qué frecuencia podría verse afectada la frecuencia de corte superior.

Finalmente, será tiempo de fabricar y probar *in vivo* todo el front-end. Para ese momento se espera haber completado el desarrollo de la plataforma [29] y por tanto se pueda adquirir las señales y transmitir las en forma inalámbrica con los circuitos desarrollas en el marco de la presente tesis.

Esta página ha sido intencionalmente dejada en blanco.

Apéndice A

Detalle de los cálculos del Preamplificador

A.1. Deducción de la transferencia del Preamplificador

Tomando como hipótesis para todos los transistores que el voltaje de early $V_A = \infty$ y que $g_{mbs} = 0$.

Aplicando superposición en el circuito de la Fig. A.1, en primer lugar se considerará $v_{in} = 0$ y se calculará la corriente de salida i_{out1} en función de v_{9g} . En segundo lugar, asumiendo $v_{9g} = 0$ se calculará i_{out1} en función de v_{in} . Finalmente, la suma de estos resultados será i_{out1} total.

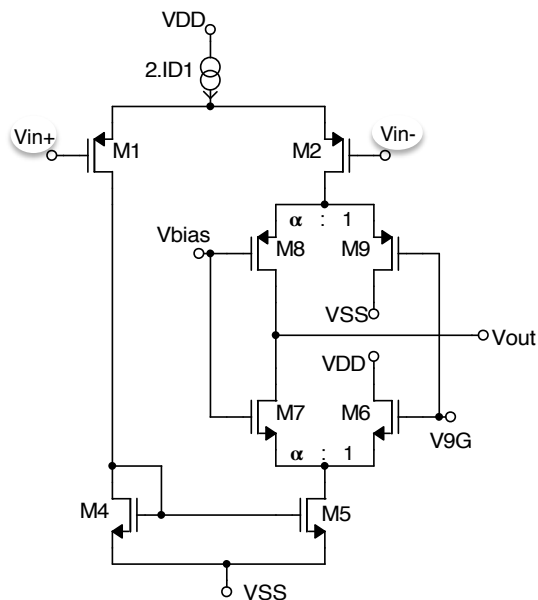


Figura A.1: Detalle a nivel de transistor de Gm1

Apéndice A. Detalle de los cálculos del Preamplificador

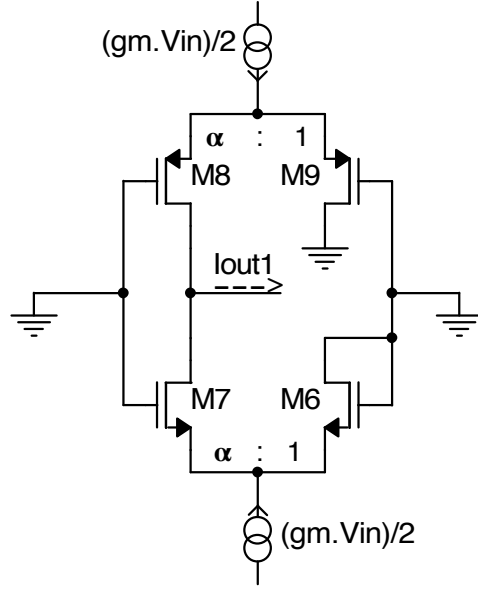


Figura A.2: G_{m1} en pequeña señal con $v_{9g} = 0$

Si se considera $V_{9g} = 0$ y se observa que v_{in} entra en forma diferencial al par M1-M2, se tiene que $\frac{1}{2}g_{m1}v_{in}$ entra directamente en el source de M8 y M9, mientras que otro tanto (con signo opuesto) es copiado por el espejo M4-M5 entrando en el source de M6 y M7. En la Fig. A.2 se presenta un circuito equivalente en pequeña señal, donde la corriente de salida i_{out1} es:

$$i_{out1} = i_{d7} + i_{d8} \quad (A.1)$$

Como el circuito es simétrico alcanza con estudiar una mitad considerando los subíndices adecuados; por ejemplo se analizará la mitad superior (fuente de corriente $\frac{1}{2}g_{m1}v_{in}$, M8 y M9) y después extrapolará a la mitad inferior. Considerando la corriente de drain de M8¹ se tiene:

$$i_{d8} = g_{m8}v_{s8,9} \quad (A.2)$$

Si se aplica Nudos en los source de los transistores M8 y M9 se obtiene:

$$\frac{1}{2}g_{m1}v_{in} = g_{m8}v_{s8,9} + g_{m9}v_{s8,9} = (g_{m8} + g_{m9})v_{s8,9} \quad (A.3)$$

Combinando las dos ecuaciones anteriores:

$$i_{d8} = \frac{1}{2} \frac{g_{m1}g_{m8}}{g_{m8} + g_{m9}} v_{in} \quad (A.4)$$

¹Notación: $g_{mM6} = g_{m6}$, $g_{mM7} = g_{m7}$, $g_{mM8} = g_{m8}$ y $g_{mM9} = g_{m9}$

A.1. Deducción de la transferencia del Preamplificador

Análogamente se puede ver que:

$$i_{d7} = \frac{1}{2} \frac{g_{m1}g_{m7}}{g_{m6} + g_{m7}} v_{in} \quad (\text{A.5})$$

Sustituyendo las dos últimas ecuaciones en la ecuación A.1 se obtiene:

$$i_{out1} = \frac{1}{2} g_{m1} \left(\frac{g_{m8}}{g_{m8} + g_{m9}} + \frac{g_{m7}}{g_{m6} + g_{m7}} \right) v_{in} \quad (\text{A.6})$$

Por otra parte, ahora asumiendo que $V_{in} = 0$, se puede ver que no circula corriente en señal por M1, M2, M4 y M5, con lo cual alcanza con analizar lo que sucede en M6-M9. Aplicando nodos en la salida se obtiene (ver Fig. A.3.):

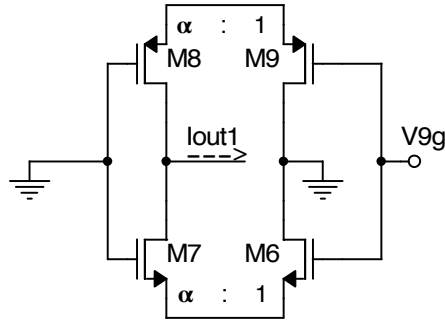


Figura A.3: G_{m1} en pequeña señal con $v_{in} = 0$

$$i_{out1} = g_{m8}v_{s8,9} + g_{m7}v_{s6,7} \quad (\text{A.7})$$

Donde se puede probar que:

$$v_{s6,7} = \frac{g_{m6}}{g_{m7} + g_{m6}} v_{9g} \quad (\text{A.8})$$

$$v_{s8,9} = \frac{g_{m9}}{g_{m8} + g_{m9}} v_{9g} \quad (\text{A.9})$$

Combinando las ecuaciones anteriores se obtiene:

$$i_{out1} = \left(\frac{g_{m8}g_{m9}}{g_{m8} + g_{m9}} + \frac{g_{m6}g_{m7}}{g_{m7} + g_{m6}} \right) v_{9g} \quad (\text{A.10})$$

Por superposición, i_{out1} es la suma de las ecuaciones A.6 y A.10 :

$$i_{out1} = \frac{1}{2} g_{m1} \left(\frac{g_{m8}}{g_{m8} + g_{m9}} + \frac{g_{m7}}{g_{m6} + g_{m7}} \right) v_{in} + \left(\frac{g_{m8}g_{m9}}{g_{m8} + g_{m9}} + \frac{g_{m6}g_{m7}}{g_{m7} + g_{m6}} \right) v_{9g} \quad (\text{A.11})$$

Tomando el nodo en v_{9g} (ver Fig. 2.2) se obtiene:

Apéndice A. Detalle de los cálculos del Preamplificador

$$\frac{v_{9g}}{v_{out}} = -\frac{g_{mf}}{sC_f} \quad (\text{A.12})$$

Tomando el nodo en v_{out} (ver Fig. 2.2) se obtiene:

$$i_{out1} = g_{m2}v_{out} + sC_L v_{out} \quad (\text{A.13})$$

Combinando las tres últimas ecuaciones se llega a la siguiente ecuación:

$$\frac{v_{out}}{v_{in}} = \frac{\frac{1}{2} \frac{g_{m1}}{C_L} \left(\frac{g_{m8}}{g_{m8}+g_{m9}} + \frac{g_{m7}}{g_{m6}+g_{m7}} \right) s}{s^2 + \frac{g_{m2}}{C_L} s + \left(\frac{g_{m8}g_{m9}}{g_{m8}+g_{m9}} + \frac{g_{m6}g_{m7}}{g_{m7}+g_{m6}} \right) \frac{g_{mf}}{C_L C_f}} \quad (\text{A.14})$$

Si se observa que cuanto menos corriente tomen M6 y M9 mayor será la corriente que se entrega a la salida y por tanto la ganancia de Gm1. La ecuación refleja esto y puede verse que tomando $g_{m7} \gg g_{m6}$ y $g_{m8} \gg g_{m9}$ se logra duplicar la ganancia con un mismo presupuesto de corriente. Además es posible diseñar M7 y M8 para que $g_{m7} = g_{m8}$. Tomando estas dos simplificaciones se llega a la transferencia del preamplificador:

$$\frac{v_{out}}{v_{in}} = \frac{\frac{g_{m1}}{C_L} s}{s^2 + \frac{g_{m2}}{C_L} s + \frac{(g_{m6}+g_{m9})g_{mf}}{C_L C_f}} \quad (\text{2.1})$$

Se puede ver que la transferencia es de tipo pasabanda donde la frecuencia de corte superior es f_{high} , la ganancia en la banda pasante es G y la frecuencia de corte inferior es f_{low} :

$$f_{high} = \frac{g_{m2}}{2\pi C_L} \quad (\text{2.2})$$

$$G = \frac{g_{m1}}{g_{m2}} \quad (\text{2.3})$$

$$f_{low} = \frac{g_{m6} + g_{m9}}{g_{m2}} \frac{g_{mf}}{2\pi C_f} \quad (\text{2.4})$$

A.2. Dedución de la condición analítica para evitar la multiplicación

Partiendo de la ecuación obtenida en la sección A.1:

$$i_{out1} = \frac{1}{2} g_{m1} \left(\frac{g_{m8}}{g_{m8} + g_{m9}} + \frac{g_{m7}}{g_{m6} + g_{m7}} \right) v_{in} + \left(\frac{g_{m8}g_{m9}}{g_{m8} + g_{m9}} + \frac{g_{m6}g_{m7}}{g_{m7} + g_{m6}} \right) v_{9g} \quad (\text{A.11})$$

Se tomará como hipótesis que $g_{m1} = g_{m7} = g_{m8} = \alpha g_{m9} = \alpha g_{m6} \equiv \alpha g_{mc}$ con $\alpha \gg 1$ y que $I_{D1} = I_{D7} = I_{D8} = \alpha I_{D6} = \alpha I_{D9} \equiv \alpha I_{DC}$. Sustituyendo en la ecuación anterior:

$$i_{out1} = g_{m1} v_{in} + 2g_{mc} v_{9g} \quad (\text{A.15})$$

A.2. Deducción de la condición analítica para evitar la multiplicación

Una manera de ver el efecto de multiplicación es ver cómo perturba la señal de entrada la polarización de los transistores M6, M7, M8 y M9:

$$I'_{DC} = \frac{I_{D1} + \frac{1}{2}g_{m1}v_{in}}{\alpha} \quad (\text{A.16})$$

Una primer condición sale directamente de la ecuación anterior:

$$I_{D1} \gg \frac{1}{2}g_{m1}v_{in} \Rightarrow v_{in} \ll \frac{2}{(g_m/I_D)_1} \quad (\text{2.5})$$

Considerando la expresión general para g_m dada por el modelo ACM se tiene:

$$g_{mc} = \frac{1}{nU_T} \frac{2I_{DC}}{1 + \sqrt{1 + I_{DC}/I_S}} \quad (\text{A.17})$$

Con lo cual:

$$g'_{mc} = \frac{1}{\alpha nU_T} \frac{2(I_{D1} + \frac{1}{2}g_{m1}v_{in})}{1 + \sqrt{1 + \frac{I_{D1} + \frac{1}{2}g_{m1}v_{in}}{\alpha I_S}}} \quad (\text{A.18})$$

Considerando el desarrollo de Taylor de g'_{mc} de primer orden en 0:

$$g'_{mc} = g'_{mc}(0) + \frac{\partial g'_{mc}}{\partial v_{in}}(0)v_{in} = g_{mc} + \frac{\partial g'_{mc}}{\partial v_{in}}(0)v_{in} \quad (\text{A.19})$$

$$\frac{\partial g'_{mc}}{\partial v_{in}}(0) = \dots = \frac{\frac{1}{2}g_{m1}}{\alpha nU_T} \frac{1}{\sqrt{1 + \frac{I_{D1}}{\alpha I_S}}} \quad (\text{A.20})$$

Sustituyendo en la ecuación A.15:

$$i_{out1} = g_{m1}v_{in} + 2g_{mc}v_{9g} + 2\frac{\frac{1}{2}g_{m1}}{\alpha nU_T} \frac{1}{\sqrt{1 + \frac{I_{D1}}{\alpha I_S}}} v_{in}v_{9g} \quad (\text{A.21})$$

La segunda condición surge de imponer que el primer término de lado derecho de la ecuación anterior sea mucho mayor al tercero. Si esto es cierto no habrá multiplicación:

$$g_{m1}v_{in} \gg 2\frac{\frac{1}{2}g_{m1}}{\alpha nU_T} \frac{1}{\sqrt{1 + \frac{I_{D1}}{\alpha I_S}}} v_{in}v_{9g} \Rightarrow 1 \gg \frac{1}{\alpha nU_T} \frac{1}{\sqrt{1 + \frac{I_{D1}}{\alpha I_S}}} v_{9g} \quad (\text{A.22})$$

Despejando v_{9g} :

$$v_{9g} \ll \alpha nU_T \sqrt{1 + \frac{I_{DC}}{I_S}} = \alpha nU_T \left(\frac{2I_{DC}}{g_{mc}nU_T} - 1 \right) \quad (\text{A.23})$$

Entonces:

$$v_{9g} \ll \frac{2\alpha}{(g_m/I_D)_C} - \alpha nU_T \quad (\text{2.6})$$

A.3. Deducción de la expresión del ruido del Preamplificador

La $S_{ni}^{M1,2}$ de los transistores M1 y M2 es sencilla de evaluar porque estos transistores ya se encuentran en la entrada:

$$S_{ni}^{M1} = S_{ni}^{M2} = \frac{\gamma_1 n_p k T}{g_{m1}} \quad (2.9)$$

Donde $\gamma = \gamma_{wi} = 2$ en inversión débil y es $\gamma = \gamma_{si} = 8/3$ en inversión fuerte, n es el factor de pendiente (el subíndice indica si se trata de un transistores PMOS o NMOS), k es la constante de Boltzmann y T es la temperatura en Kelvin.

Si se considera que el espejo M4-M5 copia perfecto el aporte de ambos transistores va ser el mismo ($g_{mE1} = g_{mM4} = g_{mM5}$). Las corrientes de ruido de estos transistores se introducen en el nodo de salida v_{out} .

$$S_{ni}^{M4} = S_{ni}^{M5} = \frac{\gamma_{E1} n_n k T g_{mE1}}{g_{m1}^2} \quad (2.10)$$

Si se observan las ecuaciones 2.9 y 2.10 se concluye que conviene diseñar los transistores del siguiente modo:

- $(g_m/I_D)_1$ máximo: transistores del par de entrada de Gm1 en inversión débil.
- $(g_m/I_D)_{E1}$ mínimo: transistores de los espejos de Gm1 en inversión fuerte.

Teniendo en cuenta la observación anterior y sumando el aporte de todos los transistores ruidosos (ecuaciones 2.9 y 2.10) se llega a:

$$S_{ni}^{total} = \frac{2\gamma_{si} n_n k T}{g_{m1}} \left(\frac{\gamma_{wi} n_p}{\gamma_{si} n_n} + \frac{(g_m/I_D)_{E1}}{(g_m/I_D)_1} \right) \quad (2.11)$$

Apéndice B

Biquad *clásico*

B.1. Circuito y ecuaciones

En la Fig. B.1 se presenta el esquemático de un filtro biquad gm-C pasabanda *clásico* ([37] pp. 847). Los bloques Gm1, Gm2, Gm3 y Gmf son OTAs simétricos cuya respectiva transconductancia es g_{m1} , g_{m2} , g_{m3} y g_{mf} . Las ecuaciones se presentan a continuación:

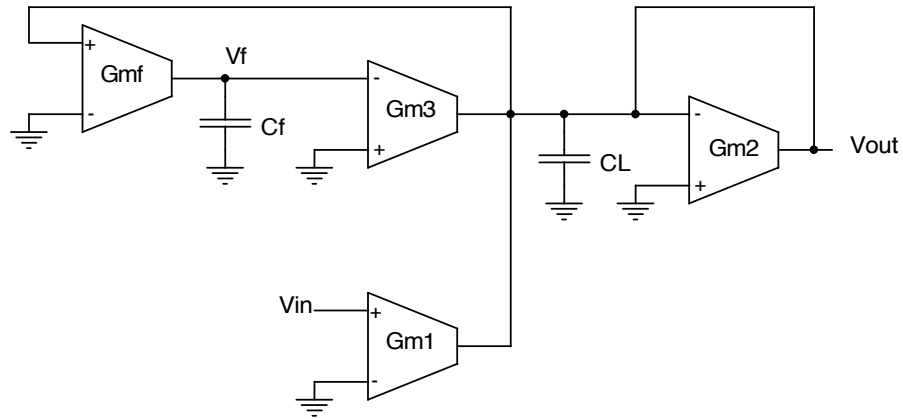


Figura B.1: Filtro Biquad pasabanda

$$\frac{V_{OUT}}{V_{IN}} = \frac{\frac{g_{m1}}{C_L} s}{s^2 + \frac{g_{m2}}{C_L} s + \frac{g_{m3}g_{mf}}{C_L C_f}} \quad (\text{B.1})$$

$$G = \frac{g_{m1}}{g_{m2}} \quad (\text{B.2})$$

$$f_{high} = \frac{g_{m2}}{2\pi C_L} \quad (\text{B.3})$$

$$f_{low} = \frac{g_{m3}g_{mf}}{g_{m2}2\pi C_f} \quad (\text{B.4})$$

B.2. Rango lineal de entrada

Gm1 debe tener un rango lineal de entrada tal que soporte la máxima variación que pueda tener V_{IN} teniendo en cuenta que generalmente estará superpuesta a un offset. Por otra parte, Gmf y Gm2 deben ser capaces de manejar en su entrada $V_{OUT} = GV_{IN}$. Dependiendo de la ganancia y/o el lugar del filtro en la cadena puede ser necesario aplicarse alguna técnica de linealización a Gm1, Gmf y Gm2.

Por último, el rango lineal de entrada de Gm3 requiere cierto análisis. Considerando el nodo en V_f (ver Fig. B.1) se obtiene:

$$V_f s C_f = g_{mf} V_{OUT} \implies V_f = \frac{g_{mf}}{2\pi f C_f} V_{OUT} \quad (\text{B.5})$$

Si se observa que el mayor voltaje de interés en V_f se dará en f_{low} (a frecuencia altas V_f cae con la frecuencia y antes de f_{low} va estar atenuado y no se esperan señales de tanta amplitud a tan baja frecuencia), el peor caso sería :

$$V_f = \frac{g_{mf}}{2\pi f_{low} C_f} V_{OUT} \quad (\text{B.6})$$

Combinando el resultado anterior con la ecuación B.4 se obtiene:

$$V_f = \frac{g_{m2}}{g_{m3}} V_{OUT} \leq V_{OUT} \implies g_{m3} \geq g_{m2} \quad (\text{B.7})$$

B.3. Análisis de bloqueo de continua

Hay varias maneras de analizar cómo el circuito de la Fig. B.1 bloquea la continua. En el transitorio, puede verse que cualquier diferencia en la salida respecto a tierra sera integrada por Gmf- C_f aumentando el valor V_f hasta que Gm3 tome la misma corriente que entrega Gm1, y por tanto V_{OUT} será cero, así como la corriente que entrega Gm2.

Otra manera de verlo es analizar el circuito en DC. Allí los condensadores son un circuito abierto y se debe considerar la resistencia de salida (R_{Of}) de Gmf para determinar el voltaje en V_f . La resistencia de salida de los otros OTAs no hace falta considerarla porque están en paralelo con Gm2, que oficia como resistencia de valor $1/g_{m2}$.

Si $V_{IN} = V_{OS}$ donde V_{OS} es un voltaje de offset (continua), considerando el nudo en V_{OUT} se tiene:

$$g_{m1} V_{OS} = g_{m2} V_{OUT} + g_{m3} V_f \quad (\text{B.8})$$

Considerando el nudo en V_f :

$$V_f = g_{mf} R_{Of} V_{OUT} \quad (\text{B.9})$$

Combinando las ecuaciones anteriores se obtiene:

$$V_{OUT} = \frac{g_{m1}}{g_{m2} + g_{m3} g_{mf} R_{Of}} V_{OS} \quad (\text{B.10})$$

B.3. Análisis de bloqueo de continua

$$V_f = \frac{g_{m1}g_{mf}R_{Of}}{g_{m2} + g_{m3}g_{mf}R_{Of}}V_{OS} \quad (\text{B.11})$$

Observando que $g_{m2} \leq g_{m3}$ (ecuación B.7) y tomando como hipótesis que $g_{mf}R_{Of} \gg 1$, se obtiene:

$$V_{OUT} = \frac{g_{m1}}{g_{m3}g_{mf}R_{Of}}V_{OS} \quad (\text{B.12})$$

$$V_f = \frac{g_{m1}}{g_{m3}}V_{OS} \quad (\text{B.13})$$

Las ecuación B.12 muestra que para R_{Of} suficientemente grande la salida es cero y por tanto el circuito bloquea la continua. Para que el circuito pueda bloquear la continua, V_f debe poder ser capaz de subir tanto como lo indica la ecuación B.13; sin embargo, para garantizar un funcionamiento lineal, V_f no podrá superar el rango lineal de entrada de g_{m3} ($V_{ing_{m3}}^{max}$). A partir de esta observación se obtiene la siguiente ecuación de diseño:

$$V_f = \frac{g_{m1}}{g_{m3}}V_{OS} \leq V_{ing_{m3}}^{max} \implies g_{m3} \geq \frac{V_{OS}}{V_{ing_{m3}}^{max}}g_{m1} \quad (\text{B.14})$$

Esta página ha sido intencionalmente dejada en blanco.

Apéndice C

Arquitectura original

C.1. Circuito y ecuaciones

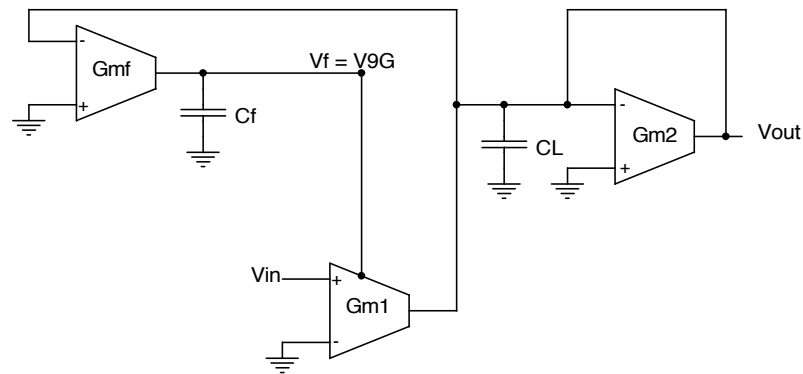


Figura C.1: Arquitectura de [21]

En la figura C.1 se presenta el diagrama esquemático de la arquitectura propuesta en [21]. El esquemático se ha cambiado un poco respecto al original, en vez de presentar el circuito como un DDA, se lo expresa en términos de un biquad. Los bloques Gm2 y Gmf son OTAs simétricos cuya respectiva transconductancia es g_{m2} y g_{mf} . Gm1 es un OTA simétrico de transconductancia g_{m1} , al cual se le agregó un bloque de eliminación de continua *local* formado por los transistores M6, M7, M8 y M9 (ver Fig. C.2).

En la Fig. C.1 no se muestran las fuentes de corrientes que polarizan los OTAs, estas serían: $I_{BIASg_{m1}} = 2I_{D1}$, $I_{BIASg_{m2}} = 2I_{D2}$ e $I_{BIASg_{mf}} = 2I_{Df}$.

Si se compara el circuito propuesto con un biquad *clásico* (ver apéndice B Fig. B.1) se puede apreciar que se eliminó el Gm3 y se modificó Gm1. Gm3 es un OTA que interviene en la determinación del polo de baja frecuencia y juega un papel fundamental en la eliminación de continua (ver apéndice B.3). En [21] este papel lo juega el bloque M6-M9 de Gm1. Para corroborar el funcionamiento de este bloque, en el transitorio puede verse que cualquier diferencia en la salida V_{out} respecto a

Apéndice C. Arquitectura original

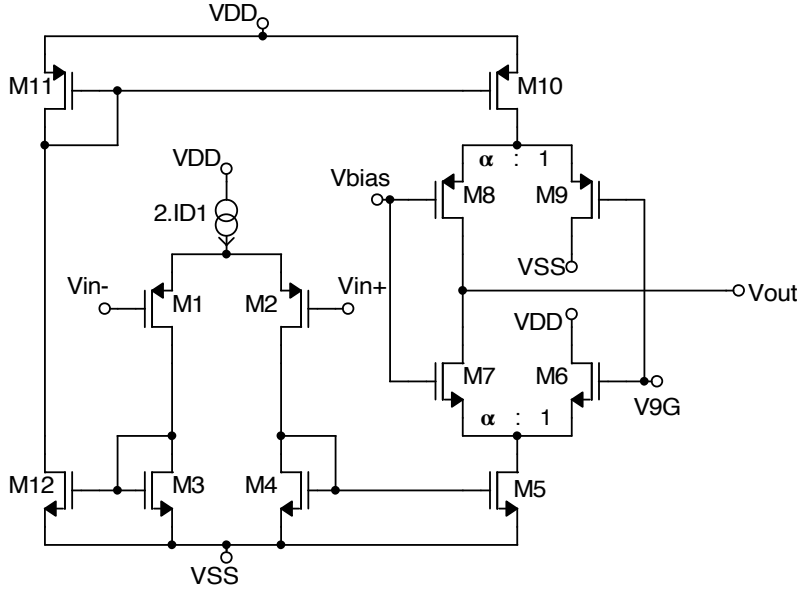


Figura C.2: Detalle a nivel de transistor del Gm1 del Preamplificador de [21]

tierra será integrada por $G_{mf}C_f$ modificando el valor $V_f = V_{9G}$ de modo tal que M6 y M9 tomen la corriente que sea necesaria hasta que la realimentación establezca que la corriente de salida de Gm1 sea cero y el voltaje V_{out} también lo sea.

En resumen: Gm1 determina la ganancia y elimina la continua, Gmf determina el polo de baja de frecuencia; y Gm2, que conectado como resistencia de valor $1/g_{m2}$, determina el polo de alta frecuencia e interviene en la expresión de la ganancia y el polo de baja frecuencia.

Para minimizar el impacto en el consumo y en la ganancia que tiene agregar el bloque M6-M9, se tomará : $g_{mM7} \gg g_{mM6}$ y $g_{mM8} \gg g_{mM9}$. A continuación se presentan las ecuaciones de los principales parámetros del circuito, el detalle de los cálculos puede consultarse en el apéndice A.1¹ ya que el circuito en pequeña señal y por tanto las ecuaciones son las mismas al preamplificador propuesto por la presente tesis:

$$\frac{v_{out}}{v_{in}} = \frac{\frac{g_{m1}}{C_L} s}{s^2 + \frac{g_{m2}}{C_L} s + \frac{(g_{m6} + g_{m9})g_{mf}}{C_L C_f}} \quad (2.1)$$

$$f_{high} = \frac{g_{m2}}{2\pi C_L} \quad (2.2)$$

$$G = \frac{g_{m1}}{g_{m2}} \quad (2.3)$$

¹El cálculo de la transferencia y la frecuencia de corte inferior son un aporte de la presente tesis que no están reportados en [21]

C.1. Circuito y ecuaciones

$$f_{low} = \frac{g_{m6} + g_{m9}}{g_{m2}} \frac{g_{mf}}{2\pi C_f} \quad (2.4)$$

En conclusión, el circuito de la Fig. C.1 es muy similar al circuito de la Fig. B.1 aunque presenta a priori algunas ventajas. En primer lugar utiliza un OTA menos, con lo cual hay un ahorro en complejidad, en área y en consumo. El ahorro en consumo está fundamentado en que se elimina la continua *localmente* (donde un offset importante en la entrada, genera una corriente importante en un OTA que está manejando este nivel de corrientes o mayores), si ese mismo offset se quiere eliminar con otro OTA, que deberá ser mucho más chico, la situación podría complicarse. Por otra parte, la solución propuesta presenta una desventaja que habrá que analizar: los pares diferenciales M6-M7 y M8-M9 podrían introducir una multiplicación indeseada de señales.

En [21] se desarrolla la expresión de la densidad espectral de potencia del ruido (S_{ni}^{Total}) debida al ruido térmico de los transistores MOS²:

$$S_{ni}^{Total} = \frac{2\gamma nkT}{g_{m1}} \cdot [A + \frac{ID2}{ID1} \cdot B] \quad (C.1)$$

Donde $\gamma = 2$ en inversión débil y es $\gamma = 8/3$ en inversión fuerte, n es el factor de pendiente, k es la constante de Boltzmann, T es la temperatura en Kelvin. A y B vienen dados por la siguiente ecuación:

$$A = 1 + 2 \frac{(g_m/I_D)_{E1N}}{(g_m/I_D)_1} + \frac{(g_m/I_D)_{E1P}}{(g_m/I_D)_1} \quad (C.2)$$

$$B = \frac{(g_m/I_D)_2}{(g_m/I_D)_1 M^4} + \frac{(g_m/I_D)_{E2N}}{(g_m/I_D)_1 M^4} + \frac{(g_m/I_D)_{E2N}}{(g_m/I_D)_1 M^2} + \frac{(g_m/I_D)_{E2P}}{(g_m/I_D)_1 M^2} \quad (C.3)$$

Donde $M = M_{Gm2}$ es el factor de división de corriente entre la rama de entrada de Gm2 y la rama de salida (generada en los espejos N mediante asociación de serie-paralelo de transistores). Este planteo, además de bajar el ruido como se ve en las ecuaciones anteriores, ayuda a reducir el consumo.

Puede verse que para minimizar el ruido conviene tomar: $ID1 \gg ID2$, $(g_m/I_D)_1$ máximo y $(g_m/I_D)_2$ mínimo. De este modo S_{ni}^{Total} no depende de Gm2 y puede aproximarse por:

$$S_{ni}^{Total} = \frac{2\gamma nkT}{g_{m1}} \left[1 + 2 \frac{(g_m/I_D)_{E1N}}{(g_m/I_D)_1} + \frac{(g_m/I_D)_{E1P}}{(g_m/I_D)_1} \right] \quad (C.4)$$

²La ecuación que aquí se presenta es diferente a la reportada en [21] debido a que nosotros no estamos considerando el ruido que aportan los cascodos.

Esta página ha sido intencionalmente dejada en blanco.

Apéndice D

Filtro con alfa=1

En la sección 2.2.1 se estableció que, desde el punto de vista del consumo, es mejor tomar $\alpha \gg 1$ en $g_{m7,8} = \alpha g_{m6,9} = g_{mc}$. Para el preamplificador se tomó un valor extremo de $\alpha = 100$, ya que es el lugar dónde se está invirtiendo más corriente. Tomar una relación tan grande puede limitar la cantidad de corriente que son capaces de entregar M6 y M9, y por tanto limitar la capacidad de bloqueo de continua del bloque. Por otra parte, en el filtro programable y el filtro de salida se intentará utilizar un $\alpha = 10$ que presenta un compromiso interesante. En este anexo se presenta un filtro que utiliza el otro extremo imponiendo que $\alpha = 1$ (donde se supone que la penalidad en consumo es máxima).

D.1. Especificaciones

Se establecerán arbitrariamente las siguientes especificaciones para el filtro:

- Frecuencia de corte superior $f_{high} \geq 8kHz$.
- Frecuencia de corte inferior $f_{low} \leq 100Hz$.
- Ganancia en banda pasante $G = 100V/V$.
- Filtrado a $-20dB/dec$ a baja y alta frecuencia.
- Consumo $I_{DD} = 2\mu A$
- Ruido equivalente de entrada $V_{ni,rms} < 270\mu V_{rms}$
- Output Swing = $1V_{pp}$ con $THD < 5\%$
- bloqueo de continua $V_{OS} \geq 20mV$
- $\alpha = 1$
- $v_{inmax} \cong 10mV_{pp}$

D.2. Solución propuesta

Para implementar el filtro utilizará la arquitectura propuesta en [21], los detalles del circuito pueden consultarse en el anexo C.

D.2.1. Flujo de diseño

Se sigue un flujo de diseño similar al implementado en el filtro Base (ver capítulo 3) o en el filtro de salida (ver capítulo 4).

Considerando que la capacidad del nodo de salida tiene una cota inferior para que su valor no dependa de las capacidades parásitas ($C_{Lmin} = 4pF$)¹ y que la frecuencia de corte superior es un requerimiento ($f_{high} = 10kHz$), el valor de g_{m2} queda determinado por la ecuación 2.2.

Fijado g_{m2} , la ganancia esperada determina g_{m1} a través de la ecuación 2.3.

Para minimizar el ruido g_{m1}/I_{D1} debe ser máximo y g_{m2}/I_{D2} debe ser mínimo [21]. Complementariamente, que el par de entrada de Gm2 este polarizado en inversión fuerte es bueno para el rango lineal. Tomando $g_{m1}/I_{D1} = 25$ y $g_{m2}/I_{D2} = 5$, quedan determinadas I_{D1} e I_{D2} .

En [21] también se muestra que desde el punto de vista del ruido conviene polarizar los espejos en inversión fuerte, por otra parte esto puede llevar a tener un V_{DSsat} alto. A modo de compromiso se fijó $(g_m/I_D)_{Espejos} = 5$.

En general, como los transistores cascodos no aportan ruido, lo único a tener en cuenta es que no limiten el output swing, una polarización en inversión débil que lleve a un pequeño V_{DSsat} es lo más apropiado. En particular para Gm1, los transistores M6, M7, M8 y M9 que forman el bloque de eliminación de continua son cascodos con transconductancia g_{mc} . Por otra parte, g_{mc} juega en el polo de baja frecuencia, para bajar g_{mc} todo lo posible y por tanto el polo, convendría que estos transistores estuvieran en inversión fuerte. El compromiso fue fijar $g_{mc}/I_D = 10$.

g_{mc} y g_{m2} como se mencionó anteriormente están determinados y C_f está acotado por el máximo valor que pueda conseguirse con un área razonable ($C_f = 300pF$). Entonces, dada una especificación para f_{low} a través de la ecuación 2.4, el valor g_{mf} queda determinado. Para tener una f_{low} lo más baja posible se necesita tener un valor g_{mf} lo más pequeño posible, lo cual implica un W/L chico y por tanto transistores largos. Esto genera dos problemas, por un lado el tamaño y por otro la capacidad parásita en la entrada de Gmf (que es el nodo de salida del filtro). Este aspecto se vuelve crítico si se pretende linealizar el par de entrada. Para tener mejor rango lineal de entrada es preferible polarizar en inversión fuerte, pero cuanto más fuerte es la inversión más chico es W/L , lo cual lleva a transistores excesivamente largos con valores de C_{gs} igualmente altos. Entonces, para mantener el tamaño acotado el tamaño de los transistores del par de entrada de Gmf ($L \leq 500\mu m$) se decidió polarizar en inversión débil $g_{mf}/I_{Df} = 20$ quedando determinado así I_{Df} . Desde el punto de vista del consumo esto es mejor, aunque las

¹Se verá más adelante que Gm2 y Gmf son transistores largos, por lo tanto con una C_{gs} relativamente alta. Este punto se tornará crítico cuando se agreguen transistores de linealización.

corrientes involucradas son tan pequeñas que este argumento no pesa.

Tomando en cuenta las especificaciones del filtro, Gm1 debe tener un rango lineal de entrada que incluya $v_{in} \simeq 10mV$ superpuesto a un offset máximo de $20mV$, lo que no representa un problema para un par diferencial estándar. Por otra parte, Gmf y Gm2 deben ser capaces de manejar en su entrada $V_{out} = GV_{in} \simeq 1V$, lo cual implica que debe aplicarse alguna técnica de linealización.

Para aumentar el rango lineal de Gmf y Gm2 se propone utilizar la técnica utilizada en el filtro de salida (ver sección 4.2.2) propuesta en [48]. La capacidad de aumentar el rango lineal de esta técnica es muy buena pero en nuestro filtro genera un aumento importante de la capacidad parásita en el nodo de salida V_{out} (que es la entrada de Gm2 y Gmf). En efecto, el filtro requiere que estos OTAs tengan transconductancias bajas (especialmente Gmf), por lo cual se tiene un $(W/L)_{ParEntrada}$ chico, y según la ecuación 4.1, M1k y M2k necesitan un W/L K veces más chico. En consecuencia se tienen varios transistores largos, conectados en la salida, lo cual aumenta significativamente la capacidad parásita en la salida. Finalmente, si se toma $K = 6$ en Gm2 y $K = 4$ en Gmf, la frecuencia de corte superior baja sustancialmente. El compromiso encontrado fue: sacar C_L y usar $K = 4$ en Gm2 y $K = 2$ en Gmf .

D.2.2. Implementación

El circuito se implementó con un voltaje de alimentación nominal $V_{DD} = 3,3V$.

En función de las consideraciones realizadas en las secciones anteriores se obtienen los valores de los parámetros necesarios para implementar el filtro, los principales se listan en la Tabla D.1. Allí se puede observar que se tomó $g_{m1}/g_{m2} = 100$ lo que equivale a una $G = 50V/V = 34dB$.

	Gm1	Gm2	Gmf
g_m/I_D	$25V^{-1}$	$5V^{-1}$	$20V^{-1}$
g_m	$25\mu S$	$250nS$	$2,4nS$
I_D	$1\mu A$	$50nA$	$120pA$
I_{DD}	$4\mu A$	$200nA$	$480pA$
$(W/L)_{ParEntrada}$	110/1,2	1,5/53	1,5/518
$(W/L)_{Lin}$	-	1,5/213	1,5/1000
g_{mc}	$5\mu S$	-	-

Tabla D.1: Diseño Filtro

D.3. Resultados

D.3.1. Punto de funcionamiento y Consumo

En la Tabla D.2 se presentan resultados de la simulación del punto de operación de Gm1 y los principales parámetros de pequeña señal.

Apéndice D. Filtro con $\alpha=1$

	Diseño	Resultados
g_{m1}/I_{D1}	$25V^{-1}$	$23,3V^{-1}$
g_{m1}	$25\mu S$	$23,3\mu S$
I_{D1}	$1\mu A$	$1\mu A$
I_{DD1}	$4\mu A$	$4,48\mu A$
g_{m6}	$5\mu S$	$4,66\mu S$
g_{m7}	$5\mu S$	$4,57\mu S$
g_{m8}	$5\mu S$	$5,75\mu S$
g_{m9}	$5\mu S$	$5,77\mu S$

Tabla D.2: Simulación punto de operación G_{m1} y parámetros de pequeña señal

La diferencia entre este valor y el que se reporta son $0,5\mu A$ que toma M6 que no habían sido considerando en el diseño.

Los valores de $g_{m6} - g_{m9}$ se apartan significativamente del valor diseñado, pero es razonable ya que la corriente por ellos es la que menos se controla (depende de la continua que debe bloquearse). Para el resto de los parámetros se obtienen los valores esperados.

En la Tablas D.3 y D.4 se presentan resultados de la simulación del punto de operación de G_{m2} y G_{mf} y los principales parámetros de pequeña señal. Los valores obtenidos se ajustan razonablemente a lo diseñado.

	Diseño	Resultados
g_{m2}/I_{D2}	$5V^{-1}$	$5V^{-1}$
g_{m2}	$250nS$	$249nS$
I_{D2}	$50nA$	$49,6nA$
I_{DD2}	$200nA$	$194nA$

Tabla D.3: Simulación punto de operación G_{m2} y parámetros de pequeña señal

	Diseño	Resultados
g_{mf}/I_{Df}	$20V^{-1}$	$18,7V^{-1}$
g_{mf}	$2,4nS$	$2,2nS$
I_{Df}	$120pA$	$115pA$
I_{DDf}	$480pA$	$463pA$

Tabla D.4: Simulación punto de operación G_{mf} y parámetros de pequeña señal

Sumando los consumos de los diferentes OTAs se tiene que el consumo total del filtro es:

$$I_{DD} = I_{DD1} + I_{DD2} + I_{DDf} = 4,67\mu A \quad (D.1)$$

D.3.2. Respuesta en frecuencia

Filtro sin linealizar

Se presentan simulaciones Montecarlo (500 runs Process and Mismatch) de la respuesta en frecuencia del circuito. En la Fig. D.1 puede apreciarse el circuito sin los transistores de linealización y tomando $C_L = 4pF$, allí se obtiene un resultado bastante aproximado a lo esperado (ver Tabla D.5).

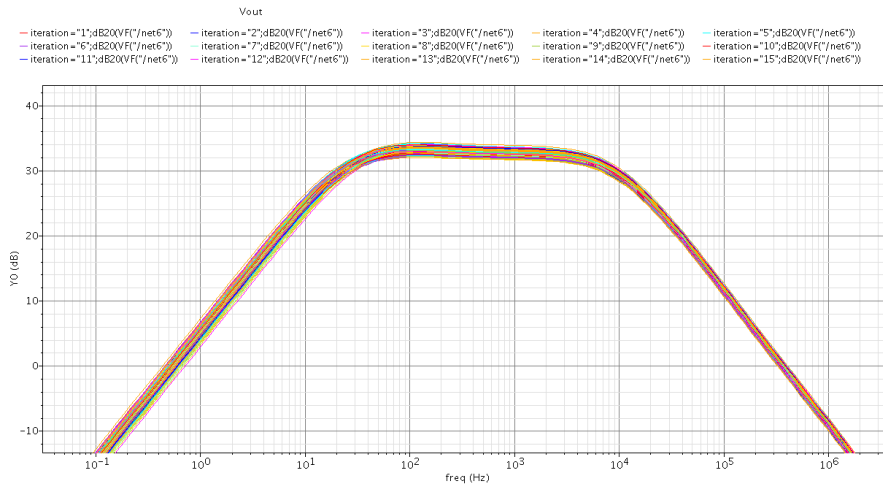


Figura D.1: Respuesta en frecuencia del filtro sin linealizar

	Diseño	Simulación MC
Ganancia	34dB	31,7dB – 33,9dB
f_{high}	10kHz	9,2kHz – 9,5kHz
f_{low}	25Hz	18Hz – 25Hz

Tabla D.5: Respuesta en frecuencia del filtro sin linealizar

Filtro linealizado

Para aumentar el rango lineal se agregaron transistores de linealización en los pares de entrada de Gm2 y Gmf. Eso ocasionó que bajara la frecuencia de corte superior. Sacando C_L y poniendo $K = 2$ en Gmf y $K = 4$ en Gm2 se obtiene una frecuencia de corte superior aceptable y como efecto no buscado (pero bienvenido) se consigue un aumento de la ganancia. En la Fig. D.2 se presentan simulaciones Montecarlo (500 runs Process and Mismatch) de la respuesta en frecuencia del circuito y en la Tabla D.6 se resumen los principales resultados.

Apéndice D. Filtro con alfa=1

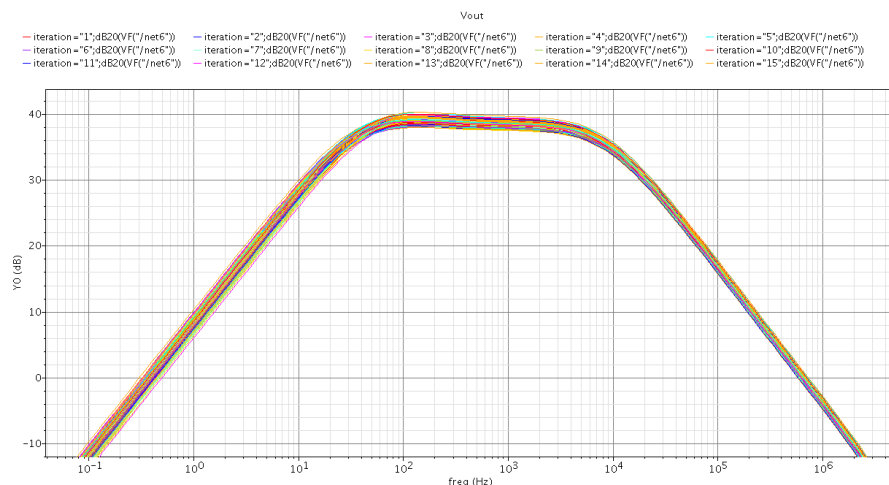


Figura D.2: Respuesta en frecuencia del filtro linealizado

	Especificaciones	Simulación MC
Ganancia	40dB	37,5dB – 39,7dB
f_{high}	$\geq 8kHz$	8,2kHz – 8,3kHz
f_{low}	$\leq 100Hz$	24Hz – 33Hz

Tabla D.6: Respuesta en frecuencia del filtro linealizado

D.3.3. Rango lineal de entrada

Se hizo un análisis transitorio paramétrico en la amplitud de la señal de entrada (sinusoidal de 1kHz), tomando 30 pasos entre 0mV y 15mV (ver figura D.3). Se calculó la THD entre 10ms y 15ms considerando 8192 muestras y la frecuencia fundamental 1kHz. En la tabla D.7 se presenta el valor de la THD para valores que están en el límite de la especificación.

Señal	V_{in}	V_{out}	THD
Roja	9,32mV _{pp}	0,80V _{pp}	2.02%
Azul	10,34mV _{pp}	0,91V _{pp}	2.37%
Fucsia	11,38mV _{pp}	1,04V _{pp}	5.00%

Tabla D.7: THD

D.3.4. Ruido

El simulador arroja que el ruido equivalente a la salida es 1,63mV_{RMS} (integrando entre 3nHz y 10MHz), con lo cual el ruido equivalente a la entrada es aproximadamente $V_{ni,rms}^{sim} = 19\mu V_{rms}$.

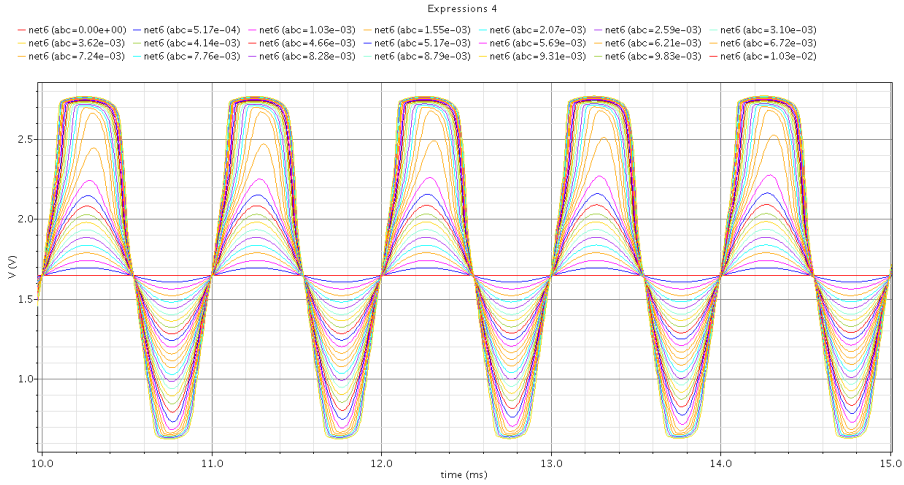


Figura D.3: Rango lineal de entrada del filtro

D.3.5. Bloqueo de continua

Si se genera un desnivel en continua del par de entrada de valor V_{OS} se puede ver que el circuito bloquea la continua quedando el voltaje de continua de la salida V_{outDC} en $1,653V$. El circuito opera correctamente incluso en valores de $V_{OS} = 50mV$, a partir de ese valor se constata una penalización importante en la ganancia. En la Tabla D.8 se presentan algunos parámetros relevantes del circuito.

Por otra parte, se constata que el mecanismo de bloqueo de continua no afecta significativamente el funcionamiento lineal del filtro. La THDa está calculada con una señal de entrada sinusoidal de amplitud de $2mV_{pp}$ y THDb con una señal de entrada de $10mV_{pp}$.

V_{OS}	V_{9G}	I_{out}	Ganancia	THDa	THDb
0	1.65V	485nA	38.7dB	0.47 %	2.14 %
20mV	1.62V	462nA	38.3dB	0.50 %	2.28 %
50mV	1.57V	372nA	36.9dB	0.50 %	2.79 %
100mV	1.49V	161nA	30.7dB	0.54 %	2.74 %
150mV	1.41V	47nA	20.4dB	0.61 %	3.04 %

Tabla D.8: Respuesta del circuito ante un desnivel de continua en la entrada

D.4. Conclusiones

En la Tabla D.9 se presenta un resumen de los principales resultados obtenidos.

	Estimación con $\alpha = 100$	Resultados con $\alpha = 1$
Ganancia G	$40dB$	$31,7dB - 33,9dB$
f_{high}	$9,6kHz$	$9,2kHz - 9,5kHz$
f_{low}	$20Hz$	$18Hz - 25Hz$
Consumo I_{DD}	$4,2\mu A$	$4,7\mu A$
Bloqueo continua V_{OS}	$20mV$	$50mV$

Tabla D.9: Resumen de resultados (sin linealizar)

Se concluye que utilizar $\alpha = 100$ en lugar de $\alpha = 1$, permite obtener el doble de ganancia con menos consumo absoluto, a costa de poder bloquear menos de la mitad de continua.

Referencias

- [1] J. J. Vidal, "Toward direct brain-computer communication," *Annual review of Biophysics and Bioengineering*, vol. 2, no. 1, pp. 157–180, 1973.
- [2] ———, "Real-time detection of brain events in EEG," *Proceedings of the IEEE*, vol. 65, no. 5, pp. 633–641, 1977.
- [3] M. A. L. Nicolelis, "Actions from thoughts," *Nature*, vol. 409, no. 6818, pp. 403–407, 2001.
- [4] J. M. Carmena, "Becoming bionic," *IEEE Spectrum*, vol. 49, no. 3, pp. 24–29, 2012.
- [5] J. Simeral, S. Kim, M. Black, J. Donoghue, and L. Hochberg, "Neural control of cursor trajectory and click by a human with tetraplegia 1000 days after implant of an intracortical microelectrode array," *Journal of Neural Engineering*, vol. 8, no. 2, p. 025027, 2011.
- [6] A. Casson, D. Yates, S. Smith, J. Duncan, and E. Rodriguez-Villegas, "Wearable electroencephalography," *IEEE Engineering in Medicine and Biology Magazine*, vol. 29, no. 3, pp. 44–56, 2010.
- [7] Advanced Brain Monitoring Inc. (2013) B-alert wireless EEG headsets and software. [Online]. Available: <http://advancedbrainmonitoring.com/>
- [8] Emotiv. (2013) Emotiv EEG system. [Online]. Available: <http://www.emotiv.com/>
- [9] Neurosky Inc. (2013) Mindwave: decades of laboratory EEG technology research for under \$ 100. [Online]. Available: <http://neurosky.com>
- [10] R. A. Hughes and D. R. Cornblath, "Guillain-Barré syndrome," *The Lancet*, vol. 366, no. 9497, pp. 1653–1666, 2005.
- [11] Edan Safe. (2013) Smartcap: operator fatigue monitoring system. [Online]. Available: <http://www.smartcap.com.au/>
- [12] M. S. Lewicki, "A review of methods for spike sorting: the detection and classification of neural action potentials," *Network: Computation in Neural Systems*, vol. 9, no. 4, pp. R53–R78, 1998.

Referencias

- [13] S. B. Wilson and R. Emerson, "Spike detection: a review and comparison of algorithms," *Clinical Neurophysiology*, vol. 113, no. 12, p. 1873–1881, December 2002.
- [14] E. Cilleruello, A. Nacelle, and G. Robert, "Nesia: Neural signal acquisition," *Proyecto de Fin de carrera, Instituto de Ingeniería Eléctrica, Facultad de Ingeniería, Universidad de la República*, 2013.
- [15] D. D. Daly and T. A. Pedley, Eds., *Current Practice of Clinical Electroencephalography*, 2nd ed. Raven Press Ltd., 199.
- [16] J. G. Webster, Ed., *Medical Instrumentation: Application and Design*, 2nd ed. John Wiley & Sons Inc., 1995.
- [17] F. Zhang, J. Holleman, and B. Otis, "Design of ultra-low power biopotential amplifiers for biosignal acquisition applications," *IEEE Transactions on Biomedical Circuits and Systems*, vol. 6, no. 4, pp. 344–355, 2012.
- [18] R. Harrison, "The design of integrated circuits to observe brain activity," *Proceedings of the IEEE*, vol. 96, no. 7, pp. 1203–1216, July 2008.
- [19] M. D. Barú Fassio, "Implantable signal amplifying circuit for electroneurographic recording," Dec. 27 2011, US Patent 8,086,305.
- [20] R. Harrison and C. Charles, "A low-power low-noise CMOS amplifier for neural recording applications," *IEEE Journal of Solid-State Circuits*, vol. 38, no. 6, pp. 958–965, June 2003.
- [21] P. Castro and F. Silveira, "High CMRR power efficient neural recording amplifier architecture," in *Proceedings of the IEEE International Symposium on Circuits and Systems (ISCAS)*, May 2011.
- [22] W. Wattanapanitch, M. Fee, and R. Sarpeshkar, "An energy-efficient micro-power neural recording amplifier," *IEEE Transactions on Biomedical Circuits and System*, vol. 1, no. 2, pp. 136–147, June 2007.
- [23] X. Zou, X. Xu, L. Yao, and Y. Lian, "A 1-V 450-nW fully integrated programmable biomedical sensor interface chip," *IEEE Journal of Solid-State Circuits*, vol. 44, no. 4, pp. 1067–1077, April 2009.
- [24] C. Qian, J. Parramon, and E. Sanchez-Sinencio, "A micropower low-noise neural recording front-end circuit for epileptic seizure detection," *IEEE Journal of Solid-State Circuits*, vol. 46, no. 6, pp. 1392–1405, 2011.
- [25] R. Harrison, H. Fotowat, R. Chan, R. Kier, R. Olberg, A. Leonardo, and F. Gabbiani, "Wireless neural/EMG telemetry systems for small freely moving animals," *IEEE Transactions on Biomedical Circuits and Systems*, vol. 5, no. 2, pp. 103–111, april 2011.

- [26] H. Fischer, H. Kautzb, and W. Kutsch, "A radiotelemetric 2-channel unit for transmission of muscle potentials during free flight of the desert locust, *schistocerca gregaria*," *Journal of Neuroscience Methods*, vol. 64, no. 1, pp. 39–45, January 1996.
- [27] I. Obeid and P. D. Wolf, "Evaluation of spike-detection algorithms for a brain-machine interface application," *IEEE Transactions on Biomedical Engineering*, vol. 51, no. 6, pp. 905–911, June 2004.
- [28] A. Rodriguez-Perez, J. Ruiz-Amaya, M. Delgado-Restituto, and A. Rodriguez-Vazquez, "A low-power programmable neural spike detection channel with embedded calibration and data compression," *IEEE Transactions on Biomedical Circuits and Systems*, vol. 6, no. 2, pp. 87–100, 2012.
- [29] E. Cilleruello, A. Nacelle, G. Robert, J. Oreggioni, F. Silveira, and A. Caputi, "Wireless biopotential signals acquisition system," in *En Memorias del Congreso Argentino de Sistemas Embebidos (CASE)*, August 2013, aceptado como Regular Paper (Trabajo distinguido).
- [30] M. Azin and P. Mohseni, "A $94\mu W$ 10-b neural recording front-end for an implantable brain-machine-brain interface device," in *Proceedings of the IEEE Biomedical Circuits and Systems Conference (BioCAS)*, November 2008, pp. 221 – 224.
- [31] M. Azin, D. Guggenmos, S. Barbay, R. Nudo, and P. Mohseni, "An activity-dependent brain microstimulation SoC with integrated $23nV/\sqrt{Hz}$ neural recording front-end and $750nW$ spike discrimination processor," in *Proceedings of the IEEE Symposium on VLSI Circuits (VLSIC)*, June 2010, pp. 223 – 224.
- [32] Neuralynx. (2013) Headstage pre-amplifiers. [Online]. Available: <http://www.neuralynx.com>
- [33] Datawave Technologies. (2013) Wireless headstages. [Online]. Available: <http://www.dwavetech.com>
- [34] Natus Medical Inc. (2013) Nicolet EEG wireless amplifier. [Online]. Available: <http://www.natus.com>
- [35] Y. M. Chi, T.-P. Jung, and G. Cauwenberghs, "Dry-contact and noncontact biopotential electrodes: methodological review," *IEEE Reviews in Biomedical Engineering*, vol. 3, pp. 106–119, 2010.
- [36] R. Schaumann, H. Xiao, and M. E. V. Valkenburg, *Design of Analog Filters*. Oxford University Press, 2010.
- [37] K. R. Laker and W. M. C. Sansen, *Design of Analog Integrated Circuits and Systems*. McGraw-Hill, 1994.

Referencias

- [38] F. Silveira, D. Flandre, and P. Jespers, “A g_m/I_D based methodology for the design of CMOS analog circuits and its application to the synthesis of a silicon-on-insulator micropower OTA,” *IEEE Journal of Solid-State Circuits*, vol. 31, no. 9, pp. 1314–1319, 1996.
- [39] A. I. A. Cunha, M. C. Schneider, and C. Galup-Montoro, “An MOS transistor model for analog circuit design,” *IEEE Journal of Solid-State Circuits*, vol. 33, no. 10, pp. 1510–1519, 1998.
- [40] M. S. J. Steyaert, W. M. C. Sansen, and C. Zhongyuan, “A micropower low-noise monolithic instrumentation amplifier for medical purposes,” *IEEE Journal of Solid-State Circuits*, vol. 22, no. 6, p. 1163–1168, Dec 1987.
- [41] T. Horiuchi, T. Swindell, D. Sander, and P. Abshier, “A low-power cmos neural amplifier with amplitude measurements for spike sorting,” in *Proceedings of the IEEE International Symposium on Circuits and Systems (ISCAS)*, vol. 4, 2004, pp. IV–29–32 Vol.4.
- [42] W. Wattanapanitch and R. Sarpeshkar, “A low-power 32-channel digitally programmable neural recording integrated circuit,” *IEEE Transactions on Biomedical Circuits and Systems*, vol. 5, no. 6, pp. 592–602, 2011.
- [43] A. Rodriguez-Perez, J. Ruiz-Amaya, J. A. Rodríguez-Rodríguez, M. Delgado-Restituto, and A. Rodriguez-Vazquez, “A power efficient neural spike recording channel with data bandwidth reduction,” in *Proceedings of the IEEE International Symposium on Circuits and Systems (ISCAS)*, May 2011, pp. 1704–1707.
- [44] J. Guo, J. Yuan, J. Huang, J. Law, C.-K. Yeung, and M. Chan, “Highly accurate dual-band cellular field potential acquisition for brain machine interface,” *IEEE Journal on Emerging and Selected Topics in Circuits and Systems*, vol. 1, no. 4, pp. 461–468, 2011.
- [45] V. Chaturvedi and B. Amrutur, “An area-efficient noise-adaptive neural amplifier in 130 nm cmos technology,” *IEEE Journal on Emerging and Selected Topics in Circuits and Systems*, vol. 1, no. 4, pp. 536–545, 2011.
- [46] A. Arnaud, “Very large time constant gm-c filters,” Ph.D. dissertation, Instituto de Ingeniería Eléctrica, Facultad de Ingeniería, Universidad de la República, 2004.
- [47] P. Aguirre and F. Silveira, “Bias circuit design for low-voltage cascode transistors,” in *Proceedings of the 19th annual symposium on Integrated circuits and systems design (SBCCI)*. ACM, September 2006, pp. 94–97.
- [48] F. Krummenacher and N. Joehl, “A 4-Mhz CMOS continuous-time filter with on-chip automatic tuning,” *IEEE Journal of Solid-State Circuits*, vol. 23, no. 3, pp. 750–758, 1988.

- [49] P. Aguirre and A. Arnaud, “Diseño de un filtro pasabanda para la implementación de un amplificador chopper de bajo ruido y micro consumo,” in *Proceedings of the VIII Workshop Iberchip*, April 2002.
- [50] A. Arnaud, R. Fiorelli, and C. Galup-Montoro, “Nanowatt, sub-nS OTAs, with sub-10-mV input offset, using series-parallel current mirrors,” *IEEE Journal of Solid-State Circuits*, vol. 41, no. 9, pp. 2009–2018, 2006.
- [51] I. Obeid, M. A. L. Nicolelis, and P. D. Wolf, “A low power multichannel analog front end for portable neural signal recordings,” *Journal of Neuroscience Methods*, vol. 133, no. 1, pp. 27–32, 2004.
- [52] S. B. Lee, H.-M. Lee, M. Kiani, U.-M. Jow, and M. Ghovanloo, “An inductively powered scalable 32-channel wireless neural recording system-on-a-chip for neuroscience applications,” *IEEE Transactions on Biomedical Circuits and System*, vol. 4, no. 6, pp. 360–371, 2010.
- [53] S. Rai, J. Holleman, J. Pandey, F. Zhang, and B. Otis, “A 500 μW neural tag with 2 μV_{rms} AFE and frequency-multiplying MICS/ISM FSK transmitter,” in *Proceedings of the IEEE International Solid-State Circuits Conference (ISSCC)*, 2009, pp. 212–213.
- [54] K. Al-Ashmouny, S.-I. Chang, and E. Yoon, “A 4 $\mu W/Ch$ analog front-end module with moderate inversion and power-scalable sampling operation for 3-D neural microsystems,” *Biomedical Circuits and Systems, IEEE Transactions on*, vol. 6, no. 5, pp. 403–413, 2012.

Esta página ha sido intencionalmente dejada en blanco.

Índice de tablas

1.1. Características eléctricas de algunas señales biopotenciales en humanos.	5
1.2. Características eléctricas de algunas señales biopotenciales en peces eléctricos.	5
1.3. Características de las señales que debe adquirir el front-end	9
2.1. Diferentes valores de W/L para el par de entrada de Gm1 con $f_{low} = 18Hz$	22
2.2. Diferentes valores de W/L para el par de entrada de Gm1 con $f_{low} = 0,09Hz$	22
2.3. Principales parámetros del preamplificador (simulación esquemático)	24
2.4. Consumo preamplificador (simulación esquemático)	24
2.5. Respuesta en frecuencia del preamplificador con $C_f = 47pF$ integrado (simulación extraído).	24
2.6. Respuesta en frecuencia del preamplificador con $C_f = 10nF$ externo (simulación extraído).	26
2.7. Resultados de $CMRR$ del preamplificador en $500Hz$	27
2.8. THD del preamplificador	29
2.9. Respuesta del preamplificador ante un desnivel de continua en la entrada	30
2.10. Comparación del preamplificador diseñado.	31
2.11. Resumen de resultados del preamplificador	33
3.1. Diseño filtro Base	40
3.2. Punto de operación y parámetros de pequeña señal del transconductor Gm1 del filtro Base.	40
3.3. Punto de operación y parámetros de pequeña señal del transconductor Gm2 del filtro Base.	41
3.4. Punto de operación y parámetros de pequeña señal del transconductor Gmf del filtro Base.	41
3.5. Resultados del filtro Base.	42
3.6. Respuesta del filtro Base ante un desnivel de continua en la entrada.	42
3.7. Resultados del filtro programable con $C_L = 1,6pF$ y $E = 1$	43
3.8. Resultados del filtro programable con $C_L = 1,6pF$ y $E = 10$	43
3.9. Resultados del filtro programable con $C_L = 1,6pF$ y $E = 100$	44

Índice de tablas

3.10. Resultados del filtro programable con $C_L = 100pF$	44
3.11. Resumen de resultados del filtro programable	45
4.1. Implementación filtro de salida.	52
4.2. Punto de operación y parámetros de pequeña señal del transconductor Gm1 del filtro de salida.	53
4.3. Punto de operación y parámetros de pequeña señal del transconductor Gm2 del filtro de salida.	53
4.4. Punto de operación y parámetros de pequeña señal del transconductor Gmf del filtro de salida.	54
4.5. Resultados del filtro salida.	54
4.6. THD del filtro de salida	55
4.7. Respuesta del filtro de salida ante un desnivel de continua en la entrada.	56
4.8. Resumen de resultados del filtro de salida	56
5.1. Resultados G , f_{high} , f_{low} y consumo del front-end para G y f_{high} máximas	60
5.2. Resultados de G , ruido y offset del front-end para G y f_{high} máximas	60
5.3. Resultados G , f_{high} , f_{low} y consumo del front-end para G máxima y f_{high} mínima	61
5.4. Resultados de G , ruido y offset del front-end para G máxima y f_{high} mínima	61
5.5. Resultados G , f_{high} , f_{low} y consumo del front-end para G mínima y f_{high} mínima	63
5.6. Resultados de G , ruido y offset del front-end para G mínima y f_{high} mínima	63
5.7. Resultados G , f_{high} , f_{low} y consumo del front-end para G mínima y f_{high} máxima	64
5.8. Resultados de G , ruido y offset del front-end para G mínima y f_{high} máxima	64
5.9. Resultados de $CMRR$ del front-end en $500Hz$	66
5.10. THD del front-end	67
5.11. THD del front-end para G mínima	68
5.12. Respuesta del front-end ante un desnivel de continua en la entrada	69
5.13. Respuesta del front-end ante un desnivel de continua en la entrada	69
5.14. Comparación del front-end diseñado.	70
5.15. Resumen de resultados del front-end	71
D.1. Diseño Filtro	95
D.2. Simulación punto de operación Gm1 y parámetros de pequeña señal	96
D.3. Simulación punto de operación Gm2 y parámetros de pequeña señal	96
D.4. Simulación punto de operación Gmf y parámetros de pequeña señal	96
D.5. Respuesta en frecuencia del filtro sin linealizar	97
D.6. Respuesta en frecuencia del filtro linealizado	98
D.7. THD	98

Índice de tablas

D.8. Respuesta del circuito ante un desnivel de continua en la entrada	99
D.9. Resumen de resultados (sin linealizar)	100

Esta página ha sido intencionalmente dejada en blanco.

Índice de figuras

1.1. Ejemplo de señal EEG. Figura gentileza de [14].	4
1.2. Diagrama de bloques de alto nivel de la plataforma de ICM. Figura gentileza de [14].	8
1.3. Arquitectura propuesta para el front-end.	11
2.1. Preamplificador de Harrison. Figura tomada de [20].	14
2.2. Diagrama de bloques del preamplificador propuesto	16
2.3. Detalle a nivel de transistor del transconductor Gm1 del preamplificador	17
2.4. Respuesta en frecuencia del preamplificador con $C_f = 47pF$ integrado (simulación extraído).	25
2.5. Respuesta en frecuencia del preamplificador con $C_f = 10nF$ externo (simulación extraído).	25
2.6. Ganancia en Modo Común del preamplificador con $C_f = 47p$ interno (simulación extraído).	26
2.7. Histograma ganancia en Modo Común a $500Hz$ del preamplificador con $C_f = 47p$ interno (simulación extraído).	27
2.8. Ruido preamplificador con $C_f = 10nF$ externo (simulación extraído).	28
2.9. Rango lineal de entrada del preamplificador	29
2.10. Offset a la salida del preamplificador	30
2.11. Comparación del preamplificador diseñado.	31
2.12. Layout de la segunda versión del preamplificador	32
3.1. Arquitectura del filtro Base.	37
3.2. Detalle a nivel de transistor del Gm1 del filtro Base.	37
4.1. Arquitectura del filtro de salida.	48
4.2. Detalle a nivel de transistor del Gm1 del filtro de salida.	49
4.3. Circuito de linealización	51
4.4. Histograma de la ganancia para $f = 100Hz$	54
4.5. Rango lineal de entrada del filtro de salida	55
5.1. Offset a la salida del front-end para G y f_{high} máximas	60
5.2. Ruido a la salida del front-end para G y f_{high} máximas	60
5.3. Respuesta en frecuencia del front-end para G y f_{high} máximas	61
5.4. Ruido a la salida del front-end para G máxima y f_{high} mínima	62

Índice de figuras

5.5. Respuesta en frecuencia del front-end para G máxima y f_{high} mínima	62
5.6. Ruido a la salida del front-end para G mínima y f_{high} mínima . . .	63
5.7. Respuesta en frecuencia del front-end para G mínima y f_{high} mínima	63
5.8. Ruido a la salida del front-end para G mínima y f_{high} máxima . .	64
5.9. Respuesta en frecuencia del front-end para G mínima y f_{high} máxima	65
5.10. Ganancia en modo común del front-end para G máxima y f_{high} máxima	65
5.11. Histograma de la ganancia en modo común del front-end en $500Hz$.	66
5.12. Rango lineal de entrada del front-end	67
5.13. Rango lineal de entrada del front-end para G mínima	68
A.1. Detalle a nivel de transistor de G_{m1}	79
A.2. G_{m1} en pequeña señal con $v_{gg} = 0$	80
A.3. G_{m1} en pequeña señal con $v_{in} = 0$	81
B.1. Filtro Biquad pasabanda	85
C.1. Arquitectura de [21]	89
C.2. Detalle a nivel de transistor del G_{m1} del Preamplificador de [21] .	90
D.1. Respuesta en frecuencia del filtro sin linealizar	97
D.2. Respuesta en frecuencia del filtro linealizado	98
D.3. Rango lineal de entrada del filtro	99

Esta es la última página.
Compilado el 9 de septiembre de 2013.
<http://ie.fing.edu.uy/>