

Formulario de aprobación de curso de posgrado/educación permanente

Asignatura: Síntesis de alto nivel para aceleración con FPGAs

(Si el nombre contiene siglas deberán ser aclaradas: FPGAs: Field Programmable Gate Arrays)

Modalidad:

(posgrado, educación permanente o ambas)

Posgrado



Educación permanente



Profesor de la asignatura ¹: Dr. Ing. Juan Pablo Oliver, Gr. 5, IIE

(título, nombre, grado o cargo, instituto o institución)

Profesor Responsable Local ¹: no corresponde

(título, nombre, grado, instituto)

Otros docentes de la Facultad: Dr. Ing. Federico Favaro, Gr. 2, IIE

(título, nombre, grado, instituto)

Docentes fuera de Facultad: no corresponde

(título, nombre, cargo, institución, país)

¹ Agregar CV si el curso se dicta por primera vez.

(Si el profesor de la asignatura no es docente de la Facultad se deberá designar un responsable local)

[Si es curso de posgrado]

Programa(s) de posgrado:

- Maestría en Ingeniería Eléctrica
- Doctorado en Ingeniería Eléctrica

Instituto o unidad: Instituto de Ingeniería Eléctrica (IIE)

Departamento o área: Departamento de Electrónica

Horas Presenciales: 30

(se deberán discriminar las horas en el ítem Metodología de enseñanza)

Nº de Créditos: 8

[Exclusivamente para curso de posgrado]

(de acuerdo a la definición de la UdelaR, un crédito equivale a 15 horas de dedicación del estudiante según se detalla en el ítem Metodología de enseñanza)

Público objetivo: estudiantes de posgrado o ingenieros que estén interesados en adquirir conocimientos en llevar algoritmos a hardware (FPGAs) mediante la utilización de herramientas de síntesis de alto nivel (HLS), buscando optimizar consumo y aceleración.

Cupos:

(si corresponde, se indicará el número de plazas, mínimo y máximo y los criterios de selección. Asimismo, se adjuntará en nota aparte los fundamentos de los cupos propuestos. Si no existe indicación particular para el cupo máximo, el criterio general será el orden de inscripción, hasta completar el cupo asignado)

Cupo mínimo: 4

Cupo máximo: 18

Objetivos: El objetivo del curso es que el estudiante adquiera dominio de las técnicas y metodologías utilizadas en el diseño de sistemas electrónicos digitales mediante técnicas de síntesis de alto nivel (HLS) para FPGAs. Se incluyen técnicas de optimización de los diseños.

Al finalizar el curso el estudiante será capaz de llevar a hardware un algoritmo utilizando herramientas de HLS. Comprender el diseño realizado, optimizarlo para ganar velocidad y caracterizar tanto performance como consumo.

Conocimientos previos exigidos: Fundamentos de diseño digital, fundamentos de programación.

Conocimientos previos recomendados: Programación en C y C++, herramientas de diseño digital, nociones de consumo electrónico.

Metodología de enseñanza:

(comprende una descripción de la metodología de enseñanza y de las horas dedicadas por el estudiante a la asignatura, distribuidas en horas presenciales -de clase práctica, teórico, laboratorio, consulta, etc.- y no presenciales de trabajo personal del estudiante)

Descripción de la metodología:

[Obligatorio]

El curso se dividirá en dos partes:

- En la primera parte habrá clases teóricas y prácticas de laboratorio.
- En la segunda parte los estudiantes estarán abocados a la realización de un proyecto o monografía y solamente se harán reuniones de seguimiento

Detalle de horas:

- Horas de clase (teórico): 8
 - Horas de clase (práctico): 0
 - Horas de clase (laboratorio): 12
 - Horas de consulta: 8
 - Horas de evaluación: 2
 - Subtotal de horas presenciales: 30
 - Horas de estudio: 20 (se incluyen en este ítem las horas de preparación de los laboratorios)
 - Horas de resolución de ejercicios/prácticos: 0
 - Horas proyecto final/monografía: 70
 - Total de horas de dedicación del estudiante: 120
-

Forma de evaluación:

[Indique la forma de evaluación para estudiantes de posgrado, si corresponde]

[Indique la forma de evaluación para estudiantes de educación permanente, si corresponde]

- . Prácticas de laboratorio: realización de la práctica y defensa
- . Cuestionarios sobre temas del curso y sobre el laboratorio
- . Proyecto final o monografía: entrega de documentación y defensa oral.

Temario:

- 1 Introducción a las FPGAs y HLS
 - 1.1 Un poco de historia y últimos avances
 - 1.2 FPGAs y lenguajes clásicos
 - 1.3 HLS, lenguajes, alternativas
 - 1.4 Conectividad, flujo de datos, buses
 - 1.5 Velocidad, consumo, latencia y throughput
- 2 Flujo de diseño de herramientas CAD
 - 2.1 Introducción a las herramientas de HLS
 - 2.2 Ejemplos
 - 2.3 Preparación para los laboratorios
- 3 Técnicas de optimización
 - 3.1 Descripción del algoritmo
 - 3.2 Uso de pragmas
 - 3.3 Operaciones en paralelo, dependencia de datos
 - 3.4 Punto fijo, punto flotante, diferentes precisiones
 - 3.5 Pipelining
 - 3.6 Loop unrolling
 - 3.7 RAM, diferentes tipos, accesos, I/O
 - 3.8 Data path y control FSM
 - 3.9 Streams: buffers, FIFOs, queues, I/O
 - 3.10 Bloques DSP (multiplicación, suma)
- 4 Algunos ejemplos
 - 4.1 Estudio en detalle de sintetizar y optimizar algunos algoritmos seleccionados a hardware.
- 5 Descripción de placas de FPGAs aptas para HLS
 - 5.1 Placas autónomas
 - 5.2 Placas de coprocesamiento con un PC
 - 5.3 Problemas que se presentan en ejemplos reales
 - 5.4 Medidas de velocidad y consumo
 - 5.5 Equipamiento de laboratorio específico

Bibliografía:

(título del libro-nombre del autor-editorial-ISBN-fecha de edición)

Parallel Programming for FPGAs, Ryan Kastner, Janarбек Matai, and Stephen Neuendorffer, 2025-01-13,
The newest version of this book can be found at <http://hlsbook.ucsd.edu>.

High-Level Synthesis Blue Book, Michael Fingeroff, Xlibris Corporation, ISBN:978-1-4500-9724-6,
Published: 21 May 2010.

High-Level Synthesis: From Algorithm to Digital Circuit, Adam Morawiec, Philippe Coussy Editors, ISBN 978-1-4020-8587-1, 2008.

Manuales de fabricantes de FPGAs.

Datos del curso

Fecha de inicio y finalización: agosto a noviembre (segundo semestre lectivo 2026)

Horario y Salón: a definir

Arancel:

[Si la modalidad no corresponde indique "no corresponde". Si el curso contempla otorgar becas, indíquelo]

Arancel para estudiantes inscriptos en la modalidad posgrado: no corresponde

Arancel para estudiantes inscriptos en la modalidad educación permanente: 3466 UI
